

COMISION NACIONAL DE ENERGIA ATOMICA
DEPENDIENTE DE LA PRESIDENCIA DE LA NACION

CENTRAL NUCLEAR ATUCHA

CURSO DE ELECTRONICA DIGITAL

SR. ZUNINO, Eduardo

Buenos Aires - Argentina

1980, r

CURSO DE ELECTRONICA DIGITAL

PROGRAMA.

- 1.- Lógica Proposicional.
 - 1.1 Proposiciones.
 - 1.2 Variables proposicionales.
 - 1.3 Operaciones entre proposiciones.
- 2.- Sistemas Numéricos.
 - 2.1 Numeración decimal.
 - 2.2 Operaciones Algebraicas en el Sistema Decimal - Suma - Resta.
 - 2.3 Sistema de Numeración Binario.
 - 2.4 Conversión de Números Decimales en su binario equivalente.
 - 2.5 Suma de Números binarios.
 - 2.6 Resta de Números binarios.
 - 2.7 Sistema de Numeración octal.
 - 2.8 Sistema de Numeración hexadecimal.
 - 2.9 Conversión de Sistemas Numéricos.
- 3.- Códigos Numéricos.
 - 3.1 Código Gray.
 - 3.2 Código BCD.
 - 3.3 Código de exceso-3.
- 4.- Algebra de Boole.
 - 4.1 Conjunto B y sus variables Booleanas.
 - 4.2 Operaciones Booleanas.
 - 4.3 Propiedades de las operaciones Booleanas.
 - 4.4 Funciones Booleanas.
 - 4.5 Mintérminos y Maxtérminos.
 - 4.6 Forma Canónica de la función Booleana.
 - 4.7 Construcción de la forma canónica del complemento de una función, conociendo la forma canónica de una función.
 - 4.8 Expresión de la función como producto en maxtérminos.
- 5.- Leyes de Boole.
 - 5.1 Primer postulado.
 - 5.2 Segundo postulado.
 - 5.3 Tercer postulado.

...///

- 5.4 Funciones y compuertas derivadas de las leyes básicas de Boole.
- 5.5 Compuerta Lógica. NAND (NO-Y).
- 5.6 Compuerta Lógica NOR (NO - O).
- 5.7 Compuerta Lógica INHIBIT
- 5.8 Compuerta Lógica O. Exclusivo.
- 5.9 Compuerta Lógica NOR Exclusivo (comparación).

6.- Circuitos Combinatorios.

- 6.1 Definición.
- 6.2 Análisis diseño y Minimización.
- 6.3 Análisis de circuitos combinatorios.
- 6.4 Diseño de circuitos combinatorios.
- 6.5 Minimización - Simplificación de funciones.
- 6.6 Diagrama de VEN - VEITH.
- 6.7 Mapas de KARNAUGH.

7.- Implementación NOR (NO - O).

- 7.1 Compuerta NO
- 7.2 " OR
- 7.3 " AND
- 7.4 " NAND
- 7.5 " INHIBIT.
- 7.6 " OR Exclusivo.
- 7.7 " NOR Exclusivo.

8.- Implementación NAND (NO-Y).

- 8.1 Compuerta NO
- 8.2 " AND
- 8.3 " OR
- 8.4 " NOR
- 8.5 " INHIBIT
- 8.6 " OR Exclusivo.
- 8.7 " NOR Exclusivo.

9.- Codificadores - Decodificadores- Transcodificadores.

- 9.1 **Codificadores.**
- 9.2 Decodificadores (decimales y siete segmentos).
- 9.3 Transcodificadores.

10.- Circuitos Secuenciales.

...///

...///

11.- Flip-Flops.

- 11.1 Introducción.
- 11.2 Flip-Flops R-S.
- 11.3 " " T
- 11.4 " " D
- 11.5 " " JK
- 11.6 " " Combinado.
- 11.7 " " JK "Master Slave".

12.- Registros.

- 12.1 Introducción.
- 12.2 Registros de entrada en paralelo y salida en paralelo.
- 12.3 Registro de entrada en Serie y Salida Serie.
- 12.4 Registro de entrada en Serie y Salida Paralelo.
- 12.5 Registro de entrada en Paralelo y Salida en Serie.

13.- Contadores.

- 13.1 Contadores Asincrónicos.
- 13.2 " Sincrónicos.
- 13.3 " Naturales.
- 13.4 " Naturales Regresivos.
- 13.5 " Reversibles.
- 13.6 " Codificados.
- 13.7 " Con acarreo Progresivo.
- 13.8 " No secuenciales.
- 13.9 " De módulo variable.

14.- Funciones lógicas específicas.

- 14.1 Década contadora.
- 14.2 LATCH.
- 14.3 Multiplexores.
- 14.4 Compuertas expandibles.
- 14.5 Multivibrador Monoestable.
- 14.6 Contador Ascendente - Descendente con entradas programables.
- 14.7 Semisumador.
- 14.8 Sumador total.
- 14.9 Comparadores.
- 14.10 Paridad- Detectores y Generadores.
- 14.11 Circuitos de distribución.

15.- Distintas técnicas de circuitos lógicos.

- 15.1 DCTL - Lógica de acoplamiento directo con tran-

...///

...///

- sistores.
- 15.2 RTL - Lógica Resistor - Transistor.
- 15.3 RCTL - Lógica Capacitor-Resistor-Transistor.
- 15.4 DTL - Lógica Diodo- Transistor.
- 15.5 TTL - Lógica Transistor- Transistor.
- 15.6 TTL - Alta velocidad.
- 15.7 TTLS - (Schottky).
- 15.8 HTL - Lógica de alta inmunidad al ruido.
- 15.9 ECL - Lógica de Emisor acoplado.
- 15.10 MOS -
- 15.11 COS/MOS.
- 15.12 TRI-STATE

16.- Diferentes tipos de DISPLAYS (Indicadores luminosos).

- 16.1 Display de tubos de descarga gaseosa y fluorescentes.
- 16.2 Display de diodos fotoemisivos.
- 16.3 Materiales utilizados en los diodos fotoemisivos.
- 16.4 Características constructivas de los displays de diodos fotoemisivos.
- 16.5 Display de cristales líquidos.

17.- Componentes del circuito integrado.

- 17.1 El transistor integrado
- 17.2 El diodo integrado
- 17.3 Diodo zener integrado.
- 17.4 El resistor integrado.
- 17.5 El capacitor integrado.
- 17.6 Formación simultánea de los elementos de un circuito integrado monolítico.
- 17.7 Numeración de terminales.

1- LOGICA PROPOSICIONAL.

1.1. Proposiciones.

Analicemos las siguientes expresiones:

- a) Argentina es un país europeo.
- b) 5 es un número impar.
- c) 6 no es múltiplo de 4.
- d) $3 + 2 = 8$
- e) ¿ Qué hora es?.

Las primeras cuatro expresiones dan una información, afirman algo. Las expresiones b) y c) afirman algo verdadero: diremos que son proposiciones verdaderas. Las expresiones a) y d) afirman algo falso: diremos que son proposiciones falsas. En cambio, la expresión e) tiene sentido, pero no da una información, no tiene sentido decir que es falsa o que es verdadera: e) no es una proposición.

En general, diremos que:

Una proposición es una expresión con sentido en un lenguaje, que afirma algo, da una información y de la cual tiene sentido decir que es falsa o que es verdadera.

Las proposiciones se caracterizan por tener dos valores excluyentes -es decir que, si una proposición tiene uno de los valores, no tiene el otro- falso o verdadero.

1.2. Variables proposicionales.

Así como en álgebra se utilizan letras para representar números y de este modo poder escribir expresiones generales, también en lógica se utilizan letras-generalmente p, q, r.....- para representar proposiciones.

Por ejemplo:

$p = (5 \text{ es un número impar})$

$q = (3 + 2 = 8)$

p es una proposición verdadera y q es una proposición falsa.

A las letras que utilizamos para representar proposiciones, las llamaremos variables proposicionales.

1.3. Operaciones entre proposiciones.

Vamos a definir operaciones básicas entre proposiciones: disyunción, conjunción y negación lógicas.

. Disyunción lógica.

Dadas dos proposiciones p y q , definimos una nueva proposición $p \vee q$ - se lee: p ó q - llamada, disyunción lógica de p y q , tal que:

Si p es falsa y q es falsa entonces $p \vee q$ es falsa.

Si p es falsa y q es verdadera, entonces $p \vee q$ es verdadera.

Si p es verdadera y q es falsa, entonces $p \vee q$ es verdadera.

Si p es verdadera y q es verdadera, entonces $p \vee q$ es verdadera.

Esta definición puede resumirse con la siguiente tabla, llamada tabla de verdad de la disyunción lógica:

p	q	$p \vee q$
F	F	F
F	V	V
V	F	V
V	V	V

Ejemplo:

sea $p = (4 \text{ es un número par})$.

y $q = (2 + 8 = 10)$

Entonces, $p \vee q$ es una proposición verdadera, pues p es verdadera y q es verdadera. Este caso está completado en la cuarta fila de la tabla de verdad anterior.

. Conjunción lógica.

Dadas dos proposiciones p y q , definimos una nueva proposición $p \wedge q$ - se lee: p y q - llamada, conjunción lógica de p y q , tal que,

Si p es falsa y q es falsa, entonces $p \wedge q$ es falsa.

Si p es falsa y q es verdadera, entonces $p \wedge q$ es falsa.

Si p es verdadera y q es falsa, entonces $p \wedge q$ es falsa.

Si p es verdadera y q es verdadera, entonces $p \wedge q$ es verdadera.

Esta definición puede resumirse con la siguiente tabla, llamada tabla de verdad de la conjunción lógica:

P	q	$P \wedge q$
F	F	F
F	V	F
V	F	F
V	V	V

Ejemplo:

sea $p = (4 + 5 = 3)$

y $q = (\text{Argentina limita con Chile})$

Entonces $p \wedge q$ es una proposición falsa, pues p es falsa y q verdadera. Este caso está contemplado en la segunda fila de la tabla de verdad anterior.

. Negación lógica.

Dada la proposición p , definimos una nueva proposición $\bar{p}$ -se lee: no p - llamada, negación de p , tal que,

Si p es falsa, entonces $\bar{p}$ es verdadera.

Si p es verdadera, entonces $\bar{p}$ es falsa.

Esta definición puede definirse en la siguiente tabla, llamada tabla de verdad de la negación lógica:

p	$\bar{p}$
F	V
V	F

Ejemplo:

sea $p = (4 \text{ es un número primo})$

Entonces, $\bar{p}$ es una proposición verdadera pues p es una proposición falsa. Este caso está contemplado en la primera fila de la tabla de verdad anterior.

2- SISTEMAS NUMERICOS.

Introducción.

El sistema numérico de uso habitual es el sistema decimal, utilizado debido a que la computadora primaria, los dedos de las manos, tiene diez elementos, pero esta selección natural no excluye la existencia de otros sistemas que las necesidades del desarrollo tecnológico han puesto en boga.

Como nos interesa estudiar sistemas numéricos con base distinta de diez, comenzaremos realizando un estudio analítico del sistema conocido para deducir las leyes de formación de un sistema numérico.

Poseyendo estas leyes se pueden generar sistemas de cualquier base esta será nuestra labor de la segunda parte del capítulo.

2.1. Sistema de numeración decimal.

El sistema de numeración de base diez o decimal, presenta diez dígitos básicos, a saber:

0, 1, 2, 3, 4, 5, 6, 7, 8, 9

el mayor de los dígitos es menor en una unidad a la base del sistema.

Todo dígito presenta un valor intrínseco, referido a la unidad, y un valor relativo, de acuerdo a la posición que ocupe en la configuración de un número, es decir, en el número 6.871, el dígito 6 como valor intrínseco es 6 y como valor relativo será 6 unidades de mil, el 8 será intrínsecamente 8 y relativamente 8 centenas, etc.

Esto nos lleva a definir el peso decimal de un dígito de acuerdo al lugar que tenga en una cifra.

En función de la base del sistema podemos escribir a nuestro número

$$6.871 = 1 \times 10^0 + 7 \times 10^1 + 8 \times 10^2 + 6 \times 10^3$$

Las potencias de diez o de la base indican el "peso" del dígito que las acompañan.

El exponente de la potencia más uno, indica el lugar del dígito en la cifra.

Por ejemplo, 5×10^3 tiene como peso 1000 (unidad de mil) y ocupa, en un número, el $(3+1) = 4^\circ$ lugar.

En general, todo número puede ser expresado matemáticamente como:

$$N = a_0 r^0 + a_1 r^1 + a_2 r^2 + \dots + a_n r^n$$

donde $n = 0, 1, 2, 3, \dots, \infty$

r = base o raíz del sistema numérico.

a = dígitos que pueden tomar valores entre 0 y $(r-1)$.

En el sistema decimal:

$$n = 1, 2, 3, \dots, \infty$$

$$r = 10$$

$$a = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9$$

Lo expresado es válido para $N \geq 1$. Para $0 < N < 1$ la ecuación general es:

$$N = a_{-1} r^{-1} + a_{-2} r^{-2} + a_{-3} r^{-3} + \dots + a_{-n} r^{-n}$$

En este caso el signo del exponente de la potencia indica que el dígito que acompaña a la base del sistema "está detrás de la coma" y el lugar que ocupa es directamente el exponente de la potencia.

Por ejemplo: en el número 0,378: el valor intrínseco de 3 es tres, el valor relativo es 3 décimos, el peso decimal 10^{-1} , o su igual 0,1 ; consecuentemente:

$$\text{VALOR INTRINSECO} \times \text{PESO DECIMAL} = \text{VALOR RELATIVO}$$

2.2. Operaciones algebraicas en el sistema decimal.

Se verán operaciones algebraicas de dos números solamente por motivos que se estudiarán más adelante.

Suma

Dada una suma de números decimales tal como 78 más 36, la mecánica de la misma sugiere un ordenamiento vertical cuidando el encolumnamiento de cifras homogéneas o del mismo peso. Cada vez que en una columna se llega a la base del sistema se traslada una unidad al peso siguiente inmediato superior.

Peso 10^2	Peso 10^1	Peso 10^0
	7	8
	3	6
	14	14
sólo sumamos el peso menor	acarreo	quedan
	1	4
11	1	4

suma de las dos
cifras de peso 10^1
y el acarreo.
Con 11 se llega una vez a la base del sistema
se lleva 1

acarreo quedan

1

1

Agrupando:

$$4 \times 10^0 + 1 \times 10^1 + 1 \times 10^2 = 114$$

La ley que rige las sumas de dos números es:

- a.- Se deben encolumnar los dígitos del mismo peso.
- b.- Se van sumando una por una las columnas comenzando por la columna de menor peso y
- c.- Cada vez que en la suma de una columna se llegue a la base del sistema numérico se "lleva" una unidad a la columna de peso inmediato superior (operación acarreo) y
- d.- quedando como resultado de la columna la resta; de la suma realizada menos la base del sistema.

Esta operación tan sencilla se da para visualizar por analogía cuentas en otros sistemas.

Resta.

Además del proceso de resta habitual o mecánica en el cual la columna de menor peso "pide", cuando le hace falta, una unidad a la de peso inmediato superior, tal como se ilustra en el ejemplo siguiente:

Peso 10^1	Peso 10^0
7	8
-	2
2	9

El 8 "pide" una unidad a la columna de peso inmediato superior. Una unidad de cualquier columna vale 10 unidades de los elementos de la columna de peso inmediato inferior por ser 10 la base del sistema.

Así tenemos:

Peso 10^1	Peso 10^0
6	18
-	2
4	9

Ahora se puede restar pues el minuendo en cada columna es mayor que el sustraendo.

6	18
-	2
4	9

Además de este método existe otro que se denomina método de resta mediante suma por complemento a 9.

Se entiende por complemento a 9 de un número decimal a otro número tal que sumado al primero de tantos nuevos como cifras tenga el número.

Por ejemplo, el complemento a 9 de 78 es:

$$\begin{array}{r} 99 \\ - 78 \\ \hline 21 \end{array}$$

Veamos ahora mediante el ejemplo de resta anterior el método a seguir, sea $78 - 29$:

1°.- Se igualan el número de dígitos del minuendo y el sustraendo, completando con ceros las cifras que se requieran.

2°.- Se busca el complemento a 9 del sustraendo:

$$99 - 29 = 70$$

3°.- Se suman el minuendo y el complemento del sustraendo:

$$78 + 70 = 148$$

4°.- El hecho que se produzca la creación de una nueva columna, veamos que los dígitos que intervenían tenían dos números y el resultado al cual se arribó tiene tres dígitos, indica que:

a.- el resultado es positivo.

b.- hay que sumar 1 a la columna de menor peso para obtener el resultado de la operación:

$$\begin{array}{c} \text{X} \quad 48^a + 1 = + 49 \\ \quad \quad b \end{array}$$

el resultado de la resta es $+ 49$.

Si la resta hubiera sido $29 - 78$, es decir, el minuendo menor que el sustraendo, el sistema vale igual, veamos:

1°.- Igualamos cifras entre minuendo y sustraendo, en este caso no es necesario pues ambos presentan el mismo número de dígitos, es decir, dos.

2°.- Buscamos el complemento a 9 del sustraendo:

$$99 - 78 = 21$$

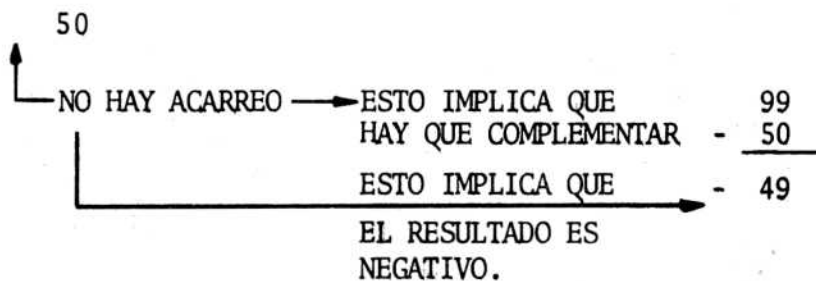
3°.- Se suman el minuendo y el complemento del sustraendo:

$$29 + 21 = 50$$

4°.- El hecho que no se produzca creación de una nueva columna indica:

a.- que el resultado es negativo.

b.- que hay que buscar el complemento a 9 del resultado de la suma para obtener el resultado de la resta:



La multiplicación y la división pueden hacerse por sumas y restas sucesivas.

2.3. Sistema de numeración binario.

El sistema de numeración binario tiene como base el número 2, consecuentemente se requieren dos dígitos para describir al sistema, el mayor de ellos una unidad menor que la base del sistema, estos dígitos son:

0 y 1

Todo número es una combinación de ceros y unos. Para evitar que se los confunda con los números decimales hay que agregar un subíndice que indica que sistema de numeración se está utilizando:

11110011₍₂₎

indica que es un
número binario.

Si se hubiera escrito 11110011 sin ninguna aclaración se podría haber interpretado, por uso normal, que estamos trabajando en sistema decimal.

Teniendo presente lo expresado anteriormente podemos escribir, en función de la base del sistema, a un número como:

$$11110011_{(2)} = 1x2^0 + 1x2^1 + 0x2^2 + 0x2^3 + 1x2^4 + 1x2^5 + 1x2^6 + \\ + 1x2^7$$

El exponente de la potencia de la base indica el lugar que el dígito que la acompaña ocupa en un número.

Por ejemplo, 1×2^7 , indica que el 1 ocupa el $(1+7) = 8^\circ$ lugar en un número binario; si todo el número binario es el indicado, las potencias faltantes (del 1° al 7° lugar en este caso) se completan con ceros:

$$1 \times 2^7 = 10000000_{(2)}$$

Cada uno de los dígitos binarios recibe el nombre de bit (del inglés Binary digit).

Las potencias de la base dan el peso decimal del binario. En otras palabras, permite hallar el decimal equivalente.

Sea por ejemplo:

$$11111_{(2)}$$

Podrá expresarse como:

$$1x2^0 + 1x2^1 + 1x2^2 + 1x2^3 + 1x2^4$$

El peso decimal de cada binario es:

$1x2^0 = 1x1$ peso decimal del primer dígito o del dígito que ocupa el 1er. lugar contando de derecha a izquierda en un número binario es: 1

$1x2^1 = 1x2$ peso decimal del segundo dígito 2

$1x2^2 = 1x4$ peso decimal del tercer dígito 4

$1x2^3 = 1x8$ peso decimal del cuarto dígito 8

$1x2^4 = 1x16$ peso decimal del quinto dígito 16

Luego sumando los pesos significativos tendremos el decimal equivalente:

$$(11111)_2 = 1x1 + 1x2 + 1x4 + 1x8 + 1x16 = 31_{10}$$

Si el número binario es $0 < N < 1$, la ecuación será la indicada anteriormente, es decir,

$$N_2 = a_{-1}2^{-1} + a_{-2}2^{-2} + a_{-3}2^{-3} + \dots$$

Nuevamente el signo menos del exponente de la potencia indica que el dígito que acompaña a la base del sistema "está detrás de la coma" y el lugar que ocupa es directamente el exponente de la potencia. Por ejemplo:

$$0,1011_2 = 1x2^{-1} + 0x2^{-2} + 1x2^{-3} + 1x2^{-4}$$

Para hallar el decimal equivalente volvemos a usar el concepto de peso decimal.

El primer dígito detrás de la coma tiene un peso decimal de $1/2 = 0,5$ el segundo dígito $1/4 = 0,25$, el tercer dígito $1/8 = 0,125$, el enésimo dígito $1/2^n$, etc.

Luego, en nuestro ejemplo, tendremos:

$$\begin{aligned} 0,1011_2 &= 1 \times 1/2 + 0 \times 1/4 + 1 \times 1/8 + 1/16 \\ &= 0,5 + 0 + 0,125 + 0,0625 \\ &= 0,6875_{10} \end{aligned}$$

La tabla I indica la equivalencia decimal de los términos 2^n y 2^{-n} de los primeros 16 números.

n°	2^n	2^{-n}
0	1	1
1	2	0,5
2	4	0,25
3	8	0,125
4	16	0,0625
5	32	0,03125
6	64	0,015625
7	128	0,0078125
8	256	0,00390625
9	512	0,001953125
10	1.024	0,0009765625
11	2.048	0,00048828125
12	4.096	0,000244140625
13	8.192	0,0001220703125
14	16.384	0,00006103515625
15	32.768	0,000030517578125
16	65.536	0,0000152587890625

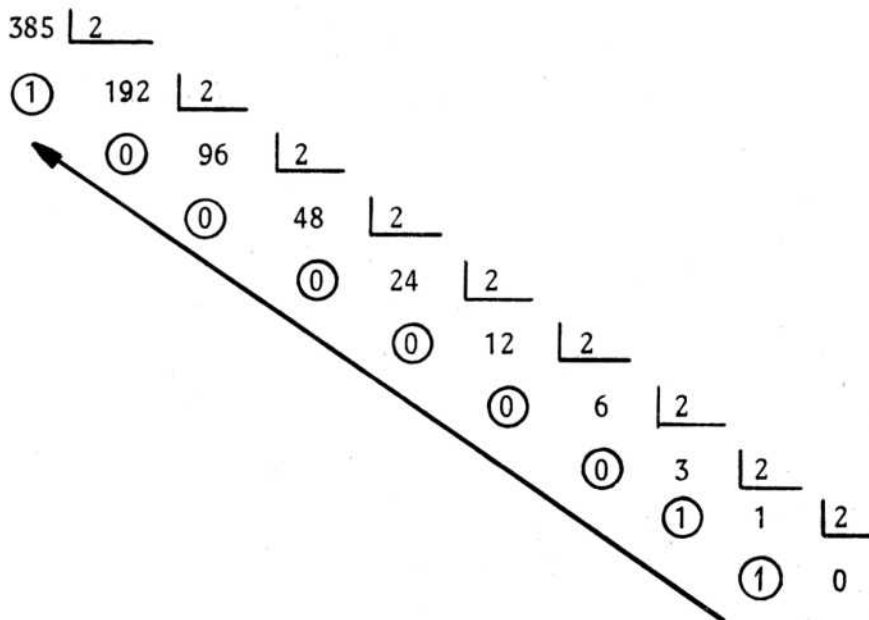
TABLA I.-Equivalentes decimales de 2^n y 2^{-n}

$$\begin{aligned}
 385_{10} &= 1x2^0 + 2x2^4 + 1x2^5 + 1x2^6 + 1x2^8 \\
 &= 1x2^0 + 1x2^5 + 1x2^5 + 1x2^6 + 1x2^8 \\
 &= 1x2^0 + (1+1) \times 2^5 + 1x2^6 + 1x2^8 \\
 &= 1x2^0 + 2x2^5 + 1x2^6 + 1x2^8 \\
 &= 1x2^0 + 1x2^6 + 1x2^6 + 1x2^8 \\
 &= 1x2^0 + (1+1) \times 1x2^6 + 1x2^8 \\
 &= 1x2^0 + 2x2^6 + 1x2^8 \\
 &= 1x2^0 + 1x2^7 + 1x2^8
 \end{aligned}$$

Finalmente:

$$385_{10} = 110000001_{(2)}$$

Como puede verse este es un sistema muy lento y engorroso, luego se utiliza otro sistema denominado de divisiones sucesivas como se ilustra en el ejemplo siguiente:



$$385_{10} = 0110000001_2$$

Se divide el número decimal por 2 tantas veces como haga falta hasta que el cociente sea menor que la base; luego se ordenan los restos de izquierda a derecha comenzando por el último resto.

Si el decimal es fraccionado: la conversión se realiza por un método diferente al utilizado con los números enteros. El número decimal fraccionario se multiplica repetidamente por la base del sistema binario y el acarreo (el entero) se memoriza. Esto se puede ilustrar con los siguientes ejemplos:

Ejemplo : Convertir $0,6875_{10}$ al binario equivalente:

$$\begin{array}{r} 0,6875 \\ \times 2 \\ \hline a_1 = 1 \longleftarrow 1,3750 \\ \times 2 \\ \hline a_{-2} = 0 \longleftarrow 0,7500 \end{array}$$

2.4. Conversión de números decimales en el binario equivalente.

El sistema binario es el sistema de numeración utilizado en circuitos de conmutación, donde sólo son posibles dos estados, cerrado o abierto, esto plantea la necesidad de convertir números decimales en números binarios.

La conversión es un cambio de base: en el sistema decimal se admiten diez dígitos o símbolos convencionales y la base que es diez; en el sistema binario se admiten dos símbolos y la base que es dos; luego hay que expresar todos los decimales como sumas o potencias de los binarios (0,1) y de su base (2).

Veamos el siguiente ejemplo: sea 385_{10} y se desea el binario equivalente:

$$385_{10} = N_2$$

$$(1) \quad 385_{10} = 5 \times 10^0 + 8 \times 10^1 + 3 \times 10^2$$

Pero podemos escribir:

$$10 = 2 \times 2^3 \text{ en función de la base del sistema binario}$$

$$5 = 2^2 + 1$$

$$8 = 2^3$$

$$3 = 2 + 1$$

Reemplazando en (1), tenemos:

$$(2) \quad 385_{10} = (2^2 + 1) \times (2 \times 2^3)^0 + 2^3 \times (2 \times 2^3)^1 + (2 + 1)(2 \times 2^3)^2$$

Operando algebraicamente:

$$= 2^2 \times 1 + 1 + 2^3 \times 2 + 2^3 \times 2^3 + (2 + 1)(2^2 + 2 \times 2 \times 2^3 + 2^6)$$

$$= 2^2 + 1 + 2^4 + 2^6 + 2^3 + 2^6 + 2^7 + 2^2 + 2^5 + 2^6$$

Podemos reescribir:

$$= 1 \times 2^2 + 1 \times 2^0 + 1 \times 2^4 + 1 \times 2^6 + 1 \times 2^3 + 1 \times 2^6 + 1 \times 2^7 + 1 \times 2^2 + 1 \times 2^5 + 1 \times 2^6$$

Agrupando potencias de igual exponente:

$$385_{10} = 1 \times 2^0 + (1+1) 2^2 + 1 \times 2^3 + 1 \times 2^4 + 1 \times 2^5 + (1+1+1) 2^6 + 1 \times 2^7$$

$$= 1 \times 2^0 + 2 \times 2^2 + 1 \times 2^3 + 1 \times 2^4 + 1 \times 2^5 + (1+2) 2^6 + 1 \times 2^7$$

$$= 1 \times 2^0 + 1 \times 2^3 + 1 \times 2^3 + 1 \times 2^4 + 1 \times 2^5 + 1 \times 2^6 + 2 \times 2^6 + 1 \times 2^7$$

$$= 1 \times 2^0 + (1+1) 2^3 + 1 \times 2^4 + 1 \times 2^5 + 1 \times 2^6 + 1 \times 2^7 + 1 \times 2^7$$

$$= 1 \times 2^0 + 2 \times 2^3 + 1 \times 2^4 + 1 \times 2^5 + 1 \times 2^6 + (1+1) \times 2^7$$

$$= 1 \times 2^0 + 1 \times 2^4 + 1 \times 2^4 + 1 \times 2^5 + 1 \times 2^6 + 2 \times 2^7$$

$$= 1 \times 2^0 + (1+1) \times 2^4 + 1 \times 2^5 + 1 \times 2^6 + 1 \times 2^8$$

$$\begin{array}{r} 0,7500 \\ \underline{\times 2} \\ 1,5000 \\ \underline{\times 2} \\ 3,0000 \\ \underline{\times 2} \\ 6,0000 \\ \underline{\times 2} \\ 12,0000 \end{array}$$

$a_{-3} = 1$ ← $1,5000$
 $a_{-4} = 1$ ← $3,0000$

$$\text{Dando: } 0,6875_{10} = 0,1011_2$$

Este proceso de multiplicación se continúa hasta que el número decimal se agota o sino se toma la aproximación más adecuada como puede verse en el ejemplo siguiente:

Ejemplo : Hallar el binario equivalente del decimal $0,56_{10}$

$$\begin{array}{r} 0,56 \\ \underline{\times 2} \\ 1,12 \\ \underline{\times 2} \\ 2,24 \\ \underline{\times 2} \\ 4,48 \\ \underline{\times 2} \\ 8,96 \\ \underline{\times 2} \\ 17,92 \end{array}$$

$a_{-1} = 1$ ← $1,12$
 $a_{-2} = 0$ ← $2,24$
 $a_{-3} = 0$ ← $4,48$
 $a_{-4} = 0$ ← $8,96$
 $a_{-5} = 1$ ← $17,92$

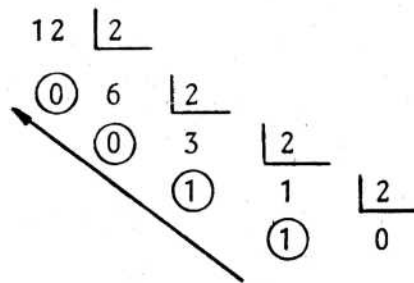
y se podría continuar dando aproximadamente:

$$0,56_{10} = 0,10001\ldots_2$$

La conversión de un decimal que tenga parte entera y parte fraccional se encara cada parte por separado. Esto quedará aclarado mediante el siguiente ejemplo:

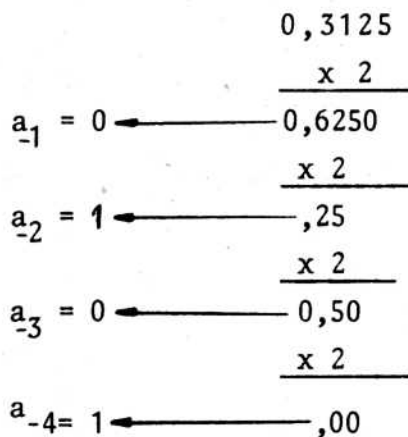
Ejemplo 3-1: Convertir $12,3125_{10}$ en el binario equivalente.

Conversión de 12:



dando $12_{10} = 1100_2$

Conversión de 0,3125:



luego: $0,3125_{10} = 0,0101_2$

Combinando ambos resultados se tiene que:

$12,3125_{10} = 1100,0101_2$

2.5 Suma de números binarios.

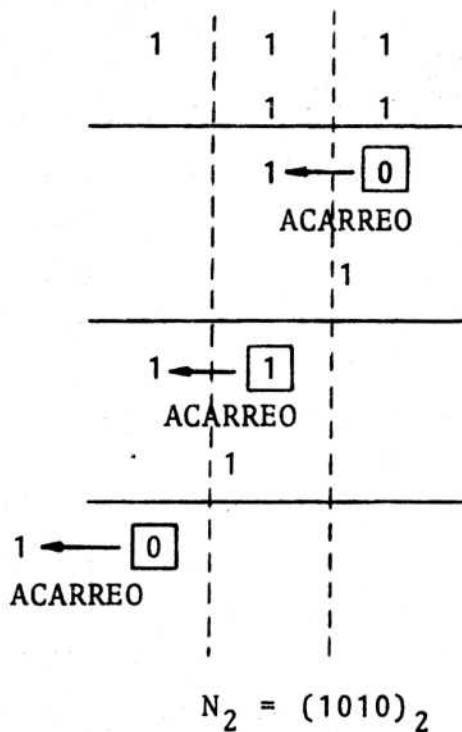
Las reglas a seguir son las expresadas en la página 2, teniendo presente:

(a)	0	(b)	1	(c)	1	(d)	0
	+ 0		+ 0		+ 1		+ 1
	0		1		10		1
					acarreo 1 pues		

se llega una
vez a la base
del sistema.

Veamos el siguiente ejemplo:

Ejemplo : Sumar $(111)_2 + (11) = N_2$



Resumiendo

$$\begin{array}{r} 111 \\ + \quad 11 \\ \hline 1010 \end{array}$$

2.6. Resta de números binarios.

a.- Minuendo mayor que sustraendo.

Aplicando las reglas deducidas respecto a la resta decimal mediante suma por complemento a 9, por analogía trabajemos con el complemento a 1.

Entiéndase por complemento a 1 de un número bina-

rio a otro número binario tal que sumado al primero nos dé tantos unos como cifras tenga el número.

Ejemplo, el complemento a 1 de 101 es:

$$111_2 - 101_2 = 010_2$$

Es decir, donde hay 1 debe haber 0 y viceversa, por ejemplo, el complemento de 101011 es 010100, veamos si es cierto:

$$\begin{array}{r} 101011 \\ + 010100 \\ \hline 111111 \end{array}$$

Veamos ahora el siguiente ejemplo:

Ejemplo : Realizar la siguiente resta:

$$1110011_2 - 110111_2 = N_2$$

1°.- Se completan con ceros los dígitos del minuendo o del sustraendo a fin de que tengan el mismo número de dígitos:

$$\begin{array}{r} 1110011 \\ - 0110111 \\ \hline \end{array}$$

2°.- Se complementa el sustraendo:

$$1001000$$

3°.- Se suma el minuendo y el complemento del sustraendo

$$\begin{array}{r} 1110011 \\ + 1001000 \\ \hline 10111011 \end{array}$$

4°.- El hecho que se produzca acarreo indica:

- a) que el resultado de la resta es positivo
- b) que hay que sumar 1 a la columna menos significativa para obtener el resultado de la operación:

$$\begin{array}{r} 1 \ 0 \ 1 \ 1 \ 1 \ 0 \ 1 \ 1 \\ + \quad \quad \quad + \ 1 \\ \hline + \ 0 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \end{array}$$

+ 0111100 es el resultado de la resta.

b.- Minuendo menor que sustraendo.

Veremos mediante un ejemplo la mecánica de la operación.

Ejemplo : Restar $110111_2 - 1110011_2 = N_2$

- 1° Se completa con ceros el minuendo para que tenga la misma cantidad de dígitos que el sustraendo:

$$0110111_2$$

- 2° Se complementa el sustraendo:

$$0001100_2$$

- 3° Se suma el minuendo tomándolo como se lo escribié en el paso 1° y el complemento del sustraendo:

$$\begin{array}{r} 0 \ 1 \ 1 \ 0 \ 1 \ 1 \ 1 \\ + \quad 0 \ 0 \ 0 \ 1 \ 1 \ 0 \ 0 \\ \hline 1 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \end{array}$$

NO HAY ACARREO luego: a) el número es negativo

- b) hay que complementar el resultado obtenido para obtener la respuesta.

1 0 0 0 0 1 1₂ complementado es:

$$0 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0_2$$

Resultado de la resta: 0111100_2

Como puede deducirse de lo expuesto el sistema binario no es un sistema económico en cuanto al número de dígitos que involucra en la representación de un número pero es adecuado para trabajar con circuitos de conmutación y de computación.

2.7. Sistema de numeración octal.

El sistema de numeración octal tiene como base al número 8, consecuentemente se requieren para definirlo, 8 dígitos el mayor de ellos menor en una unidad a la base del sistema, los dígitos del sistema son:

0, 1, 2, 3, 4, 5, 6, 7

Todo número en el sistema octal está compuesto por cualquiera de los símbolos indicados pero no incluye ni al ocho ni al nueve.

A fin de evitar se lo confunda con los números decimales hay que indicar en ellos la base del sistema, por ejemplo 765_8 donde el subíndice indica que el número es octal.

Como ya hemos indicado el número octal podrá ser representativo en función de la base del sistema:

$$765_8 = 5 \times 8^0 + 6 \times 8^1 + 7 \times 8^2$$

Como la base del sistema octal es $8 = 2^3$, es muy fácil convertir números octales en números binarios equivalentes.

Cada octal debe ser reemplazado por tres no más ni no menos de tres dígitos binarios equivalentes, que se ubican ordenadamente como estaban ubicados los octales; sea $453_8 = N_2$

4	5	3
100	101	011

el binario equivalente será: 100101011_2

Recíprocamente un binario que se desea convertir en octal deberá ser dividido de derecha a izquierda en grupos de tres no más ni menos de tres binarios, completando con ceros a la izquierda en caso que hiciera falta y cada grupo trasladado a su octal equivalente.

Sea $1101111101100000001_2 + N_8$

001	101	111	101	100	000	001
(1	5	7	5	4	0	1) ₈

El octal equivalente es: $(1575401)_8$

2.8. Sistema de numeración hexadecimal.

El sistema de numeración hexadecimal tiene como base el número 16, consecuentemente se requieren para definirlo dieciseis dígitos, el mayor de ellos menor en una unidad a la base del sistema, los dígitos del mismo son:

0,1,2,3,4,5,6,7,8,9,A,B,C, D, E,F

Todo número en el sistema hexadecimal está compuesto por cualquiera de los símbolos indicados.

Al igual que en los sistemas anteriores deberá indicarse mediante un subíndice la base del sistema.

$(A9017F)_{16}$

Como en los sistemas numéricos anteriores se puede representar al número en función de la base del sistema:

$$(A45)_{16} = 5 \times 16^0 + 4 \times 16^1 + A \times 16^2$$

Nuevamente la potencia de la base indicaría sumándole 1, el lugar que el dígito que la acompaña ocupa en una cifra hexadecimal.

Como la base del sistema hexadecimal es $16 = 2^4$

es muy fácil convertir números hexadecimales en binarios equivalentes y viceversa.

Cada hexadecimal deberá ser reemplazado por cuatro no más ni menos de cuatro dígitos binarios equivalentes, cuya equivalencia puede verse en la TABLA II, que se ubican ordenadamente como estaban ubicados los hexadecimales; sea $(A45)_{16} = N_2$

A 4 5
1010 0100 0101

el binario equivalente será: 101001000101_2

Recíprocamente un binario que se desee convertir en hexadecimal deberá ser dividido de derecha a izquierda en grupos de cuatro no más ni menos de cuatro binarios, completado con ceros a la izquierda en caso que hiciera falta y cada grupo trasladado a su hexadecimal equivalente.

Sea $1101111101100000001_2 = N_{16}$

0110 1111 1011 0000 0001
(6 F B 0 1)₁₆

El hexadecimal equivalente es: $(6FB01)_{16}$

Binario	Hexadecimal	Decimal
0000	0	0
0001	1	1
0010	2	2
0011	3	3
0100	4	4
0101	5	5
0110	6	6
0111	7	7
1000	8	8
1001	9	9

Binario	Hexadecimal	Decimal
1010	A	10
1011	B	11
1100	C	12
1101	D	13
1110	E	14
1111	F	15

TABLA II.- Equivalencias entre los sistemas de numeración binario, hexadecimal y decimal para los primeros 16 dígitos decimales.

2.9.1 Conversión de sistemas numéricos.

El cambio de base de un número de base q (cualquier base) a la base 10 puede hacerse a través del polinomio:

$$a_n q^n + a_{n-1} q^{n-1} + \dots + a_0 q^0 + \dots + a_{-n} q^{-n}$$

Resolver este polinomio puede requerir un proceso relativamente lento pero para números enteros existe otra mecánica que puede resumirse en las siguiente reglas:

- a.- Multiplicar el dígito más significativo de base q por la base q del sistema.
- b.- Sumar el resultado al próximo dígito más significativo.
- c.- Multiplicar el resultado por la base q .
- d.- Sumar al resultado el próximo dígito más significativo.
- e.- Multiplicar por la base q el resultado.
- f.- Continuar hasta adicionar el dígito menos significativa-

tivo, el cual sólo se suma.

Conversión octal/decimal

Supongamos el número octal 2450_8 que se desea pasar a base 10, la secuencia de las operaciones matemáticas es:

$$2 \times 8 = 16$$

$$16 + 4 = 20$$

$$20 \times 8 = 160$$

$$160 + 5 = 165$$

$$165 \times 8 = 1320$$

$$1320 + 0 = 1320_{10} \text{ que es el decimal equivalente}$$

al octal que se estaba buscando.

Conversión hexadecimal/decimal

Supongamos el número hexadecimal $65A_{16}$ que se desea pasar a base 10, la secuencia de las operaciones matemáticas es:

$$6 \times 16 = 96$$

$$96 + 5 = 101$$

$$101 \times 16 = 1616$$

$$1616 + 10 = 1626_{10} \text{ que es el decimal equivalente}$$

al hexadecimal que se estaba buscando.

Conversión binaria/decimal

Supongamos el número 1011_2 que se desea pasar a base 10, la secuencia de las operaciones matemáticas es:

$$1 \times 2 = 2$$

$$2 + 0 = 2$$

$$2 \times 2 = 4$$

$$4 + 1 = 5$$

$$5 \times 2 = 10$$

$10 + 1 = 11_{10}$ que es decimal equivalente al binario que se estaba buscando.

El cambio de un número de base 10 a la base q (cualquier base) pueda hacerse a través de la mecánica de las divisiones sucesivas, cuyas reglas son:

- 1.- Dividir el número decimal por q , escribir el resto (r_1).
- 2.- Dividir el cociente obtenido en el paso anterior por q nuevamente, escribir aparte el resto (r_2)
- 3.- Repetir el paso 2 hasta que el cociente sea cero (0).

El número buscado es $r_n r_{n-1} \dots r_2 r_1$

Conversión decimal/octal

Supongamos el número decimal 3817_{10} que se desea pasar a base 8, la secuencia de operaciones matemáticas es la siguiente:

$$\begin{array}{r} 3817 \quad \overline{) 8} \\ r_1 = 1 \quad 477 \quad \overline{) 8} \\ \quad r_2 = 5 \quad 59 \quad \overline{) 8} \\ \qquad r_3 = 3 \quad 7 \quad \overline{) 8} \\ \qquad \qquad r_4 = 7 \quad 0 \end{array}$$

7351_8 es el octal equivalente al decimal que se estaba buscando.

Conversión decimal/hexadecimal

Supongamos el número decimal 7890_{10} que se desea pasar a base 16, la secuencia de operaciones matemáticas es la siguiente:

$$\begin{array}{rcll}
 7890: 16 & = & 493: 16^{\circ} & = 30: 16 = 1 ; 16=0 \\
 \hline 64 & & 48 & & 16 & & 0 \\
 149 & & 13 & r_3 = & 14 & r_4 = & 1 \\
 \hline 144 & & 00 & & & & \\
 50 & r_2 = & 13 & & & & \\
 48 & & & & & & \\
 \hline r_1 = 2 & & & & & &
 \end{array}$$

$1ED2_{16}$ es el hexadecimal equivalente al decimal que se estaba buscando.

3.4 CODIGOS NUMERICOS

3.1. Código Gray.

El código binario que se explicó como sistema binario, se conoce también como código valorado, ya que cada dígito tiene un peso (valor) tal como 16, 8, 4, 2, 1.

Sumando los valores de los dígitos indicados se obtiene el valor del decimal equivalente del grupo, sea por ejemplo, $1001_2 = 8 + 1 = 9_{10}$. Sin embargo, también resultan útiles códigos especiales que se derivan del binario, pero pertenecen al tipo "sin valorar", en el que la suma de los pesos (valores) de los dígitos no es igual al número representado por el grupo de dígitos binarios. Uno de estos códigos es el código Gray, código sin valorar, conocido también como código binario reflejado o código cíclico. A causa de que minimiza los errores en ciertas aplicaciones, se le llama también código de error mínimo.

El código Gray se utiliza cuando hay que convertir variaciones físicas, tales como rotaciones de eje, movimientos de palanca o desplazamientos, en un valor binario equivalente, de forma que una computadora digital pueda procesar los datos con el objeto de efectuar cálculos, control o almacenamiento de información.

Por ello este proceso o código de numeración tiene aplicación en sistemas militares de guiado y seguimiento, así como en la industria (proceso de control de máquinas).

Los elementos sensibles que convierten los cambios físicos en representaciones binarias pueden introducir errores cuando cambian varios dígitos al pasar de un número binario a otro. Este es el caso que ocurre en los números binarios cuando, por ejemplo, cambian cuatro dígitos al pasar de 0111 a 1000 (7 a 8), o de 1111 a 10000 (15 a 16).

El código Gray está hecho de tal forma que sólo cambia un dígito al pasar de un número al siguiente más alto, como muestra la TABLA I.

Para convertir un número binario en su equivalente en código Gray, se suma el número binario consigo mismo pero sin acarreo, pero corriendo previamente el número que se va a sumar un lugar a la derecha y eliminando el dígito que se sale hacia la derecha del número original.

Así, para convertir el número binario $101_2 (5_{10})$ en su equivalente del código Gray, el proceso es:

$$\begin{array}{r} 101 \\ + \quad 10 \quad 1 \text{ (desplazado a la derecha)} \\ \hline 111 \end{array} \quad \begin{array}{l} \text{(la suma produce el número del código} \\ \text{Gray).} \end{array}$$

Si aparece un acarreo se lo ignora. El siguiente ejemplo indica el proceso para convertir el número binario 110 en su equivalente del código Gray:

$$\begin{array}{r} \text{(binario)} \quad 110 \\ + \quad 11 \quad \text{(desplazado y eliminado el dígito que quedó a} \\ \quad \quad \quad \text{la derecha)} \\ \hline \end{array}$$

(Gray) 101 (suma sin llevar el acarreo)

Obsérvese que la suma de $1 + 1$ de los dígitos que ocupan el segundo lugar sería normalmente igual a 0 y acarreo 1. La función acarreo, sin embargo, no se efectúa. Este principio se mantiene aunque implique a varios dígitos.

$$\begin{array}{r} \text{(binario)} \quad 1111 \\ + \quad 111 \quad \text{(desplazado y eliminado el dígito de la} \\ \quad \quad \quad \text{derecha)} \\ \hline \end{array}$$

(Gray) 1000 (suma sin llevar)

Binario	Decimal	Gray
0000	0	0000
0001	1	0001
0010	2	0011
0011	3	0010
0100	4	0110
0101	5	0111
0110	6	0101
0111	7	0100
1000	8	1100
1001	9	1101
1010	10	1111
1011	11	1110
1100	12	1010
1101	13	1011
1110	14	1001
1111	15	1000

TABLA I.- Equivalencias entre el sistema binario natural, el sistema numérico decimal y el código de Gray para los primeros dieciseis dígitos.

3.2. Código BCD

Es a menudo conveniente codificar cada dígito de un número decimal separadamente, utilizando 4 bits por cada dígito decimal. De hecho que 4 bits de la notación binaria representan un número decimal (0 a 9) combinando de esta forma las ventajas del sistema binario con las ventajas del sistema decimal. Un código así se conoce como Código Decimal Codificado en Binario (Binary-Coded-Decimal o BCD).

Este tipo de código es muy fácil de manejar para quién está acostumbrado a pensar en sistema decimal.

En el código BCD se utilizan los diez primeros dígitos binarios legítimos (0 a 9) y se desechan los restantes seis (10 a 15 denominados códigos ilegítimos).

Este código se llama código BCD natural (NBCD) o código 8421.

Presenta la gran ventaja que las técnicas binarias naturales pueden utilizarse.

El código NBCD es uno de un grupo de códigos que asignan "peso" a cada uno de los bits de forma tal que el decimal equivalente es igual a la suma de estos pesos.

Por ejemplo, el decimal 974 en NBCD es:

1001	0111	0100
(9)	(7)	(4)

$$974_{10} = 100101110100_{\text{NBCD}}$$

En la tabla 3 se pueden ver la equivalencia NBCD de los números decimales.

Existen 17 códigos de cuatro bits "valorados" o "pesados", que pueden verse en la tabla 2, pero aparte del código 8421 en todos los otros códigos "pesados" un número decimal puede representarse de más de una manera.

Si se desea codificar el número 974 en el código 4421 se tienen muchas posibilidades por ejemplo:

1101	1011	1000
1101	0111	0100
(9)	(7)	(4)

2421	4321	5221	5421	6321	7421
3321	4421	5311	6221	6421	8421
4311	5211	5321	6311	7321	

TABLA II.- Pesos de los códigos BCD

La gran desventaja que tiene el código NBCD es que no es autocomplementario. Entendiéndose por código BCD autocomplementado al código BCD que tiene la propiedad que al

producirse la inversión de cada bit ("1" se torna "0" y viceversa), cada dígito decimal se torna su propio complemento a 9 (siendo el complemento a 9 el número 9 menos el número cuyo complemento se está buscando).

El código 2421 es un código autocomplementario. Si tenemos que codificar el número decimal 974_{10} se tiene en este código BOD:

1111	-	0111	-	0100
9		7		4

después de la inversión

0000	-	1000	-	1011
0		2		5
9-9		9-7		9-4

Los códigos autocomplementarios son el 3321, 4311 y 5211.

3.3. Código de exceso -3

Cuando la suma de los pesos de los bits de un código BCD exceden el valor de los dígitos decimales que ellos representan, el código se llama de peso-excedido. En el código de exceso-3 (XS-3) el exceso de peso es tres.

Si un binario 3 (0011) se suma a cada decimal representado en el código 8421, el nuevo número codificado que se obtiene es autocomplementario.

Como puede verse en la tabla 3, este código utiliza los dígitos del medio de los primeros 16 primeros dígitos binarios.

Por corrimiento de tres posiciones en el código Gray, se obtiene un código análogo al binario de exceso-3),

que se denomina Código Gray de exceso-3 (Xs-3 Gray), este código es autocomplementario pero basta invertir el bit más significativo para obtener el complemento a nueve del decimal representado en el código.

El código XS-3 Gray corrige un error que presenta el código Gray que es que para pasar de 9 a 0 deben cambiar tres bits con lo cual se pierde la ventaja fundamental que tenía este código.

n°	8421	2421	5421	5311	Exceso-3	Gray	XS -3 Gray
0	0000	0000	0000	0000	0011	0000	0010
1	0001	0001	0001	0001	0100	0001	0110
2	0010	0010	0010	0011	0101	0011	0111
3	0011	0011	0011	0100	0110	0010	0101
4	0100	0100	0100	0101	0111	0110	0100
5	0101	1011	1000	1000	1000	0111	1100
6	0110	1100	1001	1001	1001	0101	1101
7	0111	1101	1010	1011	1010	0100	1111
8	1000	1110	1011	1100	1011	1100	1110
9	1001	1111	1100	1101	1100	1101	1010

TABLA III.- Varios códigos BCD.

4.- ALGEBRA DE BOOLE

4.1. El conjunto B y las variables booleanas.

Consideremos el conjunto B formado por el 0 y el 1:

$$B = \{0, 1\}$$

A los elementos del conjunto B los representamos con letras mayúsculas, A, B, C...., que llamamos variables booleanas.

4.2. Operaciones booleanas.

Definiremos en el conjunto B tres operaciones básicas- suma, producto y complemento booleanos- análogas a las operaciones que definimos entre proposiciones- disyunción, conjunción y negación lógicas.

* Suma booleana.

Simbolizamos esta operación con el símbolo de la suma común, y la definimos así:

$$0 + 0 = 0$$

$$0 + 1 = 1$$

$$1 + 0 = 1$$

$$1 + 1 = 1$$

* Producto booleano

Simbolizamos esta operación con el símbolo del producto común, y la definimos así:

$$0 \cdot 0 = 0$$

$$0 \cdot 1 = 0$$

$$1 \cdot 0 = 0$$

$$1 \cdot 1 = 1$$

* Complemento booleano.

Simbolizamos esta operación con una barra arriba del elemento sobre el cual queremos operar, y la definimos así:

$$\overline{0} = 1$$

$$\overline{1} = 0$$

Análogamente a lo hecho con la disyunción, conjunción y negación de proposiciones, podemos usar tablas para definir estas operaciones:

A	B	A+B	A	B	A.B	A	$\overline{A}$
0	0	0	0	0	0	0	1
0	1	1	0	1	0	1	0
1	0	1	1	0	0		
1	1	1	1	1	1		

El álgebra de Boole es la parte de la matemática que estudia el conjunto B con las operaciones de suma, producto y complemento booleanos que hemos definido.

Haciendo la correspondencia:

verdadero	_____	1
falso	_____	0
$p \vee q$	_____	A+B
$p \wedge q$	_____	A.B
$\sim p$	_____	$\overline{A}$,

veremos que existe una completa analogía entre el álgebra de Boole y la lógica proposicional. Por este motivo, es común

utilizar el término "lógico" en lugar de "booleano" (por ejemplo: operaciones lógicas, circuitos lógicos, etc).

4.3. Propiedades de las operaciones booleanas.

A partir de las definiciones de las operaciones booleanas, es relativamente sencillo probar que:

- | | | |
|--|---|-----------------------------|
| 1) $A+B = B+A$ | } | → propiedades conmutativas |
| 2) $A.B = B.A$ | | |
| 3) $A+(B+C) = (A+B)+C$ | } | → propiedades asociativas |
| 4) $A.(B.C) = (A.B).C$ | | |
| 5) $A.(B+C) = A.B+A.C$ | } | → propiedades distributivas |
| 6) $A+(B.C) = (A+B).(A+C)$ | | |
| 7) $A+0 = A$ | | |
| 8) $A+1 = 1$ | | |
| 9) $A.0 = 0$ | | |
| 10) $A.1 = A$ | | |
| 11) $\overline{\overline{A}} = A$ | | |
| 12) $A+\overline{A} = 1$ | | |
| 13) $A.\overline{A} = 0$ | | |
| 14) $\overline{A+B} = \overline{A}.\overline{B}$ | } | → Leyes de De Morgan |
| 15) $\overline{A.B} = \overline{A}+\overline{B}$ | | |
| 16) $A+A.B = A$ | } | → Reglas de absorción |
| 17) $A.(A+B) = A$ | | |

Debemos observar que, debido a las propiedades asociativas, podemos hablar sin ambigüedad de la suma y del producto de más de 2 elementos ($A+B+C$ y $A.B.C$).

Además, las leyes de De Morgan son válidas para más de 2 elementos; por ejemplo:

$$\overline{A+B+C} = \overline{A}.\overline{B}.\overline{C}$$

y

$$\overline{A.B.C} = \overline{A}+\overline{B}+\overline{C}$$

Como casos particulares de las reglas 16) y 17) para $B=1$ y $B=0$, tenemos:

$$\begin{array}{l} A+A = A \\ \text{y} \quad A.A = A \end{array}$$

4.4. Funciones booleanas.

La función booleana es una expresión formada por una serie de variables booleanas combinadas a través de las operaciones de suma, producto y complemento.

Por ejemplo:

$$x = (A.B) + (\overline{C+A}) ,$$

es una función formada con las variables A, B y C.

El valor de una función será 0 ó 1 de acuerdo al valor de las variables que la componen.

Para cada función puede construirse una tabla en donde se consignan los valores de la función para cada posible combinación de valores de las variables que la componen. Por ejemplo, la tabla de la función X será:

A	B	C	X
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Como ejercicio, verifique los valores de la tabla anterior, usando las definiciones de las operaciones booleanas.

4.5. Mintérminos y maxtérminos

Dada una serie de n variables, llamamos mintérmino de esas n variables a un producto de n factores, cada uno de los cuales es una variable o su complemento, de la serie dada.

Por ejemplo: $A.\overline{B}.C.D.\overline{E}$ es un mintérmino de (A,B,C,D,E)
Los mintérminos de (A,B) son: $A.B, \overline{A}.B, A.\overline{B}$
y $\overline{A}.\overline{B}$

Dada una serie de n variables, llamamos máxtermino) de esas n variables a una suma de n términos, cada uno de los cuales es una variable o su complemento, de la serie dada.

Por ejemplo:

$A+\overline{B}+\overline{C}+D$ es un maxtérmino de (A,B,C,D)

Los maxtérminos de (A,B) son: $A+B, \overline{A}+B, A+\overline{B}$ y $\overline{A}+\overline{B}$.

Dado que cada factor(término) de un mintérmino (maxtérmino) puede ser una variable o su complemento, una serie de n variables tiene 2^n mintérminos y 2^n maxtérminos; por ejemplo, la serie (A,B,C) tiene $8(2^3)$ mintérminos y 8 maxtérminos.

4.6. Forma canónica de la función booleana.

La forma canónica de una función X , es la expresión de X como suma de mintérminos de las variables que la componen.

Por ejemplo; consideremos las funciones:

$$X = (\overline{\overline{A+B}}) + B . (\overline{C+B})$$

$$Y = A.B.C. + A.\overline{B}.C + \overline{A}.B.\overline{C}$$

$$Z = A.\overline{B} + \overline{A}.\overline{B}.C.$$

X y Z no están expresadas en forma canónica; en cambio, sí lo está la función Y.

Veamos ahora cómo podemos encontrar la forma canónica de X;

1) Aplicando la propiedad 14:

$$X = (\overline{\overline{A}}) . (\overline{\overline{B}}) + B.(\overline{C+B})$$

2) Aplicando la propiedad 11:

$$X = A.B + B.(\overline{C+B})$$

3) Aplicando la propiedad 5:

$$X = A.B + B.\overline{C} + B.\overline{B}$$

4) Aplicando las propiedades 13 y 7:

$$X = A.B + B.\overline{C}$$

5) Notemos que al primer término le falta C ó $\overline{C}$ y al segundo, A ó $\overline{A}$ para llegar a la forma canónica; entonces multiplicamos al primer y segundo términos por $(C+\overline{C})$ y $(A+\overline{A})$ respectivamente, y teniendo en cuenta las propiedades 12 y 10.

$$X = (A.B) . (C+\overline{C}) + (B.\overline{C}) . (A+\overline{A})$$

6) Aplicando la propiedad 5:

$$X = A.B.C. + A.B.\overline{C} + B.\overline{C}.A + B.\overline{C}.\overline{A}$$

7) Aplicando la propiedad 2:

$$X = A.B.C. + A.B.\overline{C} + A.B.\overline{C} + \overline{A}.B.\overline{C}$$

8) Aplicando la propiedad 16 podemos eliminar el término repetido:

$$X = A.B.C + A.B.\overline{C} + \overline{A}.B.\overline{C}$$

De esta manera encontramos la forma canónica de la función X.

Se puede demostrar que toda función booleana puede ser expresada en forma canónica. Veremos un procedimiento simple para hacerlo.

Para esto construimos la tabla de la función X del ejemplo anterior y las de los mintérminos que componen su forma canónica:

A	B	C	X	ABC	AB $\overline{C}$	$\overline{A}B\overline{C}$
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	1	0	0	1
0	1	1	0	0	0	0
1	0	0	0	0	0	0
1	0	1	0	0	0	0
1	1	0	1	0	1	0
1	1	1	1	1	0	0

Notemos que a cada 1 de la columna de X le corresponde un mintérmino de su forma canónica:

al 1 de la 3ª fila le corresponde el mintérmino $\overline{A}.B.\overline{C}$
al 1 de la 7ª fila le corresponde el mintérmino $A.B.\overline{C}$
al 1 de la 8ª fila le corresponde el mintérmino $A.B.C$

Más precisamente, a cada 1 de la columna de X le corresponde el mintérmino que vale 1 para los valores A, B y C consignados en la fila correspondiente.

De esta manera, podemos encontrar los mintérminos que componen la forma canónica de cualquier función, conociendo su tabla.

Veamos otro ejemplo. Sea X una función de dos variables cuya tabla es la siguiente

A	B	X	
0	0	1	← $\overline{A}.\overline{B}$
0	1	0	
1	0	0	
1	1	1	← $A.B$

La forma canónica de X es:

$$X = A.B + \overline{A}.\overline{B}$$

4.7. Construcción de la forma canónica del complemento de una función, conociendo la forma canónica de la función.

Teniendo en cuenta que para toda combinación de valores de las variables que componen una función, siempre hay un mintérmino que vale 1, valiendo 0 los restantes, es fácil ver que la forma canónica del complemento de una función X está compuesta por todos los mintérminos que no componen la forma canónica de X.

Por ejemplo:

$$\text{Sea } X = A.B.\overline{C} + A.\overline{B}.\overline{C} + \overline{A}.\overline{B}.C$$

Entonces:

$$\overline{X} = A.B.C + \overline{A}.B.C. + \overline{A}.B.\overline{C}. + A.\overline{B}.C. + \overline{A}.\overline{B}.\overline{C}$$

4.8. Expresión de una función como producto de maxtérminos.

Veamos con un ejemplo como, conociendo la forma canónica de una función, podemos expresarla como producto de maxtérminos:

$$\text{Sea } Y = A.B.\overline{C} + \overline{A}.B.C + \overline{A}.B.\overline{C} + A.\overline{B}.\overline{C} + A.\overline{B}.C$$

De acuerdo a lo visto anteriormente:

$$\overline{Y} = A.B.C. + \overline{A}.\overline{B}.C. + \overline{A}.\overline{B}.\overline{C}$$

Aplicando la propiedad 11 y las leyes de De Morgan:

$$\begin{aligned} Y = \overline{\overline{Y}} &= \overline{(A.B.C + \overline{A}.\overline{B}.C + \overline{A}.\overline{B}.\overline{C})} = \\ &= \overline{(A.B.C)} . \overline{(\overline{A}.\overline{B}.C)} . \overline{(\overline{A}.\overline{B}.\overline{C})} = \\ &= (\overline{A} + \overline{B} + \overline{C}) . (A + B + \overline{C}) . (A + B + C) \end{aligned}$$

Y de esta manera, expresamos Y como producto de maxtérminos.

5. LEYES DE BOOLE

5.1. 1er. Postulado:

Una cierta variable A, que sólo puede adoptar uno de dos valores posibles. "0" y "1", se denomina variable booleana. Por definición, estos valores son excluyentes, es decir:

si $A \neq "1"$, entonces $A = "0"$

si $A \neq "0"$, entonces $A = "1"$,

estas propiedades se leen:

si A no es "1", entonces A es "0" y

si A no es "0", entonces A es "1".

Una función booleana está determinada cuando se da una relación entre dos ó más variables booleanas independientes. Desde luego, todas las variables booleanas que aparezcan en tal función deben satisfacer las restricciones establecidas anteriormente.

Cabe señalar que todas las variables booleanas dependientes e independientes se representarán con letras mayúsculas del alfabeto inglés.

5.2. 2do. Postulado:

a.- Dos o más variables booleanas se pueden someter a la función AND (Y), dando como resultado otra variable booleana que será Sí o "1" si y sólo si todas las entradas o variables independientes son Sí o "1", en caso contrario será No o "0".

Esta relación puede expresarse a través del siguiente ordenamiento denominado "Función Lógica":

$$A.B.C. \dots .Z = Y$$

Y dicha función lógica se lee: A y B y C y.....y Z es Y, otra forma de expresar la función lógica AND es:

$$A \cap B \cap C \dots \cap Z = Y$$

$$\text{o } A \wedge B \wedge C \dots \wedge Z = Y$$

que se leen de igual forma que la representación anterior.

Utilizando los diagramas en bloques podemos expresar la función lógica a través de un símbolo convencional denominado COMPUERTA AND:

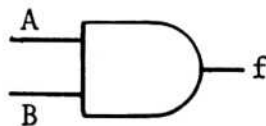


Fig. 1.- Símbolo de una compuerta AND de dos entradas según "American Standard"

La función lógica también puede expresarse a través de una "TABLA DE VERDAD" o TABLA DE COMBINACIONES, que es una lista completa (análisis) de todos los valores posibles de las variables de una función de Boole.

Puesto que cada variable puede tener uno cualquiera de dos valores, una función de Boole de n variables debe tener 2^n filas en la tabla para cubrir todas las combinaciones posibles, sea por ejemplo la siguiente TABLA DE VERDAD para tres variables que verifican la función lógica AND:

n°	A	B	C	f
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

Figura 2.- Tabla de verdad para una función lógica de tres variables.

Obsérvese que el número de fila coincide con el número binario equivalente que resulta de combinar ordenadamente los estados de las variables independientes, sea por ejemplo la fila 3 los estados de las variables serán $A = "0"$, $B = "1"$ y $C = "1"$, ordenándose será $011_2 = 3$.

De esta manera no se corre el riesgo de olvidar ninguna combinación posible de los estados de las variables, por otra parte, acorde a lo ya expresado, las filas que debemos tener para tres variables serán $2^3 = 8$, a los fines de comenzar por la combinación de variables 000, el primer renglón se numera 0 (decimal).

De la tabla de verdad se desprende una forma resumida de expresar la función lógica a través de la denominada "FUNCION R", que expresa o pone de manifiesto las filas en las cuales la variable dependiente adopta el estado "1", siguiendo el ejemplo de la función de tres variables tenemos:

$$R_3(7) = f$$

Figura 3.- Función lógica R de tres variables que verifican la función lógica AND.

Obsérvese que el subíndice expresa el número de variables independientes que intervienen.

Otra manera sería a través de los renglones en los cuales la variable dependiente adopta el estado "0", a esta forma se la denomina función $\emptyset$, para tres variables que cumplen la función lógica AND, se tiene:

$$\emptyset_3(0, 1, 2, 3, 4, 5, 6) = g$$

Figura 4.- Función lógica $\emptyset$ de tres variables que verifican la función lógica AND.

El modo de funcionamiento de la compuerta lógica AND puede asimilarse a un conjunto de conmutadores en serie, fig. 5, únicamente cuando todos los conmutadores se hallan simultáneamente cerrados existirá salida (lámpara encendida),

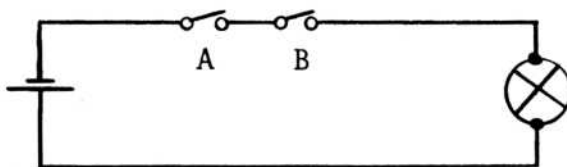


Figura 5.- Representación a través de un conjunto de conmutadores en serie de la función lógica AND.

b.- Dos o más variables independientes booleanas se someten a una función OR (0) cuando la variable booleana resultante de la relación es NO o "0" cuando son NO o "0" todas las variables independientes, en caso contrario será SI o "1", dicho de otra manera, basta que una sola de las variables booleanas independientes adopte el estado "1" para que la variable

dependiente adopte el estado "1".

Esta relación puede expresarse a través del siguiente ordenamiento, ya definido, como "Función Lógica":

$$A + B + C + \dots + Z = Y$$

Y dicha función lógica se lee: A o B o C o o Z es Y, otra forma de expresar la función lógica OR es:

$$A \cup B \cup C \dots \cup Z = Y$$

$$\text{o } A \vee B \vee C \dots \vee Z = Y$$

que se leen de igual forma que la representación anterior.

Utilizando los diagramas en bloques podemos expresar la función lógica a través de un símbolo convencional denominado COMPUERTA OR:

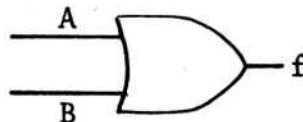


Figura 6- Símbolo de una compuerta OR de dos entradas según "American Standard".

La función lógica OR también puede expresarse a través de una "TABLA DE VERDAD" o "TABLA DE COMBINACIONES", que ya definiéramos para la función lógica AND, dicha tabla de verdad es la siguiente:

n°	A	B	C	f
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	1
4	1	0	0	1
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Figura 7.- Tabla de verdad para una función lógica OR de tres variables independientes.

La función R para la tabla de verdad de la fig. 7 es la siguiente:

$$R_3 (1, 2, 3, 4, 5, 6, 7) = f$$

Figura 8.- Función lógica R de tres variables que verifican la función lógica OR.

La función $\emptyset$ para la misma tabla de verdad de la fig. es la siguiente:

$$\emptyset_3 (0) = g$$

Figura 9.- Función lógica $\emptyset$ de tres variables que verifican la función lógica OR.

El funcionamiento de una compuerta lógica OR es similar al de un conjunto de conmutadores o llaves conectadas en paralelo (fig. 10). Cuando uno cualquiera cierra el circuito, o dos, o todos, es decir, adoptan el estado "1", se obtiene un "1" a la salida.

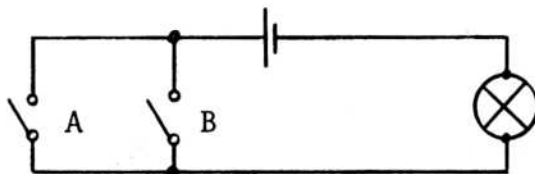


Figura 10.- Representación a través de un conjunto de conmutadores en paralelo de la función lógica OR.

5.3. 3er. Postulado.

Una variable lógica o variable booleana se dice sometida a la función lógica NOT (no) cuando la variable booleana dependiente o producto de la función es siempre opuesta a la entrada, es decir, si la entrada es SI la salida es NO y viceversa.

Esta relación puede expresarse a través del orde-

namiento denominado "Función Lógica".

$$\bar{A} = Y$$

Y dicha función lógica se lee A negado es Y, otra manera de leerla sería NO A es Y. Obsérvese que mediante esta forma de definir la función lógica la letra Ñ no puede utilizarse para representar variables lógicas, esto justifica lo dicho anteriormente que las variables se debían representar por letras mayúsculas del alfabeto inglés.

Utilizando los diagramas en bloques, el símbolo convencional de la función es:

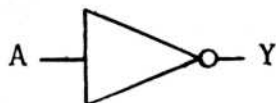


Figura 11.- Símbolo de una compuerta NOT según "American Standard".

La función lógica NOT admite ser representada o descripta a través de una tabla de verdad, la misma es:

n°	A	Y
0	0	1
1	1	0

Figura 12.- Tabla de verdad para una función lógica NOT.

La función R para la tabla de verdad de la fig.12 es la siguiente:

$$R_1(0) = Y$$

Figura 13.- Función lógica R que verifica la función NOT.

La función $\emptyset$ para la tabla de verdad de la fig. 12 es la siguiente:

$$\phi_1(1) = g$$

Figura 14: Función lógica ϕ que verifica la función NOT.

El funcionamiento de una compuerta lógica NOT es similar a una llave que se encuentra en paralelo con la salida (fig.15). Cuando la llave está abierta ("0" por convención), la lámpara está encendida ("1" por convención) y viceversa.

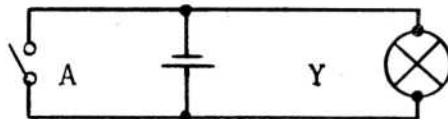


Figura 15.- Representación de la función lógica NOT mediante conmutador.

5.4. FUNCIONES Y COMPUERTAS DERIVADAS DE LAS LEYES BASICAS DE BOOLE.

Las tres compuertas lógicas definidas por las leyes de Boole, AND, OR, NOT se pueden combinar adecuadamente dando una serie de otras compuertas lógicas que se utilizan frecuentemente en los circuitos de control y en los instrumentos de medición digital, así también en las computadoras y conmutadores digitales, estas compuertas son: NOR, NAND, INHIBIT, OR-EXCLUSIVO y COMPARACION . (también llamada compuerta de identidad lógica).

5.5. COMPUERTA LOGICA NAND

Definición: La salida de una compuerta lógica NAND adopta el estado lógico "0" si y sólo si, todas las entradas excitadas por las variables booleanas independientes se encuentran en el estado lógico "1".

Cuando una compuerta lógica AND presenta una compuerta lógica NOT (Inversora) a la salida, el circuito com-

binado se denomina compuerta lógica NAND y es, en efecto , la opuesta a la compuerta lógica AND. Cuando todas las entradas son "1", la salida es "0".

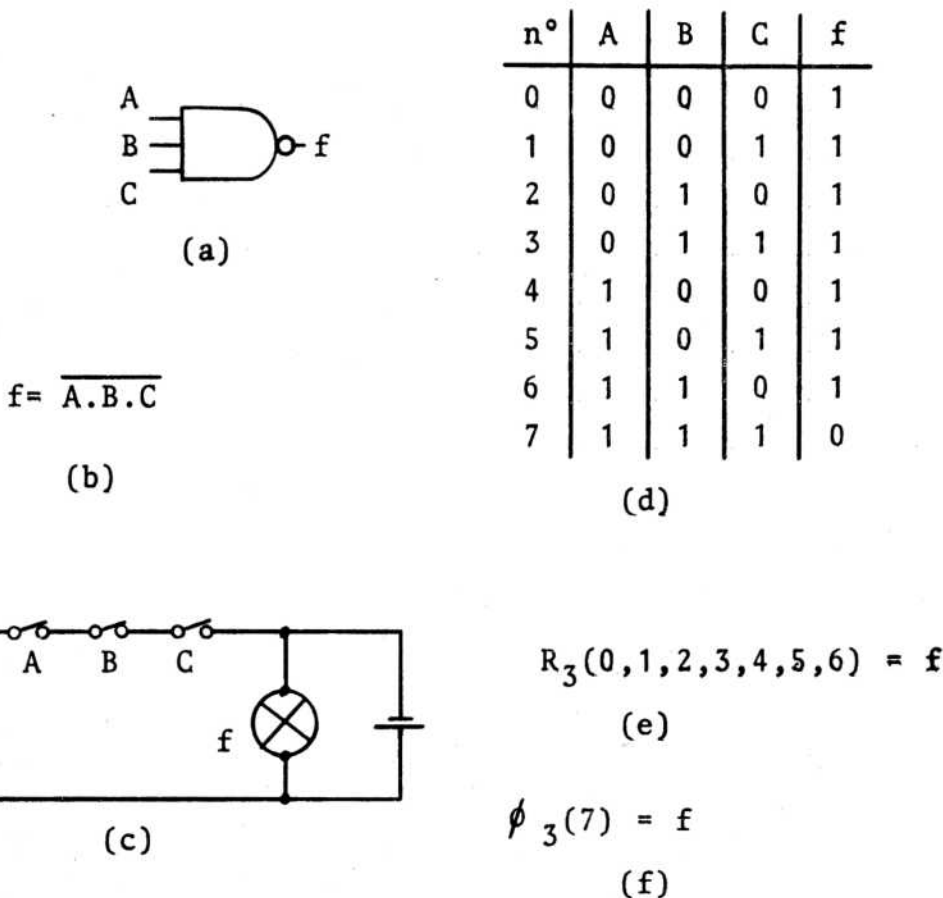


Figura 16- .- (a) Símbolo, (b) función lógica, (c) circuito con conmutadores equivalente, (d) tabla de verdad, (e) función R_3 y (f) función ϕ_3 de una compuerta lógica NAND de tres entradas.

El pequeño círculo que se ha adosado al símbolo de la compuerta lógica AND sustituye a la compuerta lógica NOT, representa su efecto.

5.6. COMPUERTA LOGICA NOR.

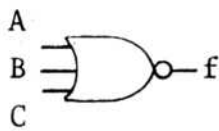
Definición: La salida de una compuerta lógica NOR adoptará el estado lógico "0", si y sólo sí, por lo menos

una de las entradas se encuentra en el estado lógico "1",

Cuando una compuerta lógica OR presenta un inversor a la salida se convierte en una compuerta lógica NOR, la que es de esta manera, la que ocasiona el efecto opuesto a la compuerta lógica OR.

Con referencia a la fig. 17 cuando una o más entradas adoptan el estado lógico "1", la salida adopta el estado lógico "0", pero cuando todas las entradas adoptan el estado lógico "0", simultáneamente, la salida es "1".

El funcionamiento de esta compuerta es similar a una serie de llaves en paralelo con una carga o una lámpara; todos los interruptores deben estar abiertos para que la lámpara esté encendida (fig. 17)



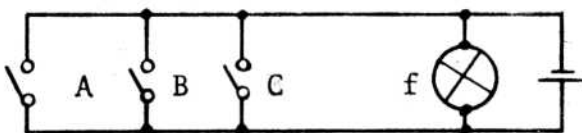
(a)

$$f = \overline{A + B + C}$$

(b)

n°	A	B	C	f
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	0

(d)



(c)

$$R_3(0) = f$$

(e)

$$\phi_3 = (1, 2, 3, 4, 5, 6, 7) = g$$

(f)

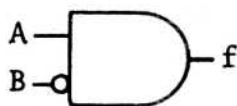
Figura 17 .- (a) Símbolo, (b) función lógica, (c) circuito con conmutadores equivalente, (d) tabla de verdad, (e) función R, (f) función ϕ de una compuerta lógica NOR de tres entradas.

5.7. COMPUERTA LOGICA INHIBIT.

La compuerta lógica INHIBIT es una compuerta tal que la salida adopta el estado lógico "1" si, y solo si, una entrada denominada ENTRADA INHIBITORIA adopta el estado lógico "0" y una entrada o más de las otras entradas que podemos denominar NORMALES adoptan el estado "1". Habitualmente se presenta con dos entradas una INHIBITORIA y otra normal. Existe una cierta ambigüedad en el diagrama en bloque que la representa siendo distinto si es de dos entradas o si es de más de dos entradas como puede verse en la figura 18.

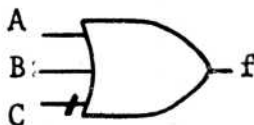
Esta compuerta es muy útil pues permite el paso de las señales que excitan las entradas NORMALES mediante el control de la entrada INHIBIDA.

Cuando la entrada inhibidora se encuentra con un "1", la salida es "0", pero cuando la entrada inhibidora se encuentra en el estado lógico "0", las otras entradas gobiernan a la salida. El funcionamiento de este circuito mediante el uso de conmutadores puede verse en la figura 18g



(a)

n°	A	B	f
0	0	0	0
1	0	1	0
2	1	0	1
3	1	1	0



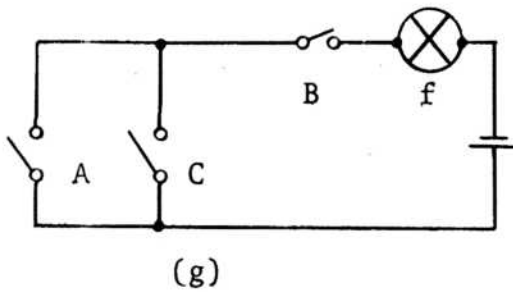
(b)

n°	A	C	B	f
0	0	0	0	0
1	0	0	1	0
2	0	1	0	1
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	1
7	1	1	1	0

$$A \cdot \overline{B} = f$$

$$\overline{B} (A+C) = f$$

(c)



$$R_2(2) = f$$

(e)

$$R_3(2,4,6) = f$$

$$\phi_2(0,1,3) = g$$

$$\phi_3(0,1,3,5,7) = g$$

(f)

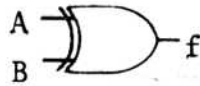
Figura 18 (a) Símbolo para dos entradas, (b) símbolo para más de dos entradas, (c) funciones lógicas, (d) tablas de verdad, (e) funciones R y (f) funciones ϕ de compuertas lógicas INHIBIT de dos entradas y de más de dos entradas.

5.8. COMPUERTA LOGICA OR-EXCLUSIVO.

Definición: La salida de una compuerta lógica OR-EXCLUSIVO adopta el estado lógico "1" si y sólo si únicamente una de sus entradas adquiere el estado lógico "1".

Esta compuerta puede materializarse como una combinación de compuertas INHIBIT como puede verse en la fig.20, o como una combinación de compuertas AND Y OR como puede verse en la fig. 21.

Esta compuerta representa la suma binaria de dos bits, sin tomar en cuenta el eventual acarreo que se produce en la fila 3 de su tabla de verdad , de todas maneras es un elemento esencial en todos los sumadores.



(a)

$$R_2(1,2) = f$$

(d)

$$\overline{A}.B + A.\overline{B} = f$$

(b)

$$\phi_2(0,3) = g$$

(e)

n°	A	B	f
0	0	0	0
1	0	1	1
2	1	0	1
3	1	1	0

(c)

Figura 19- (a) Símbolo, (b) función lógica, (c) tabla de verdad (d) función R, (e) función ϕ de una compuerta lógica OR-EXCLUSIVO.

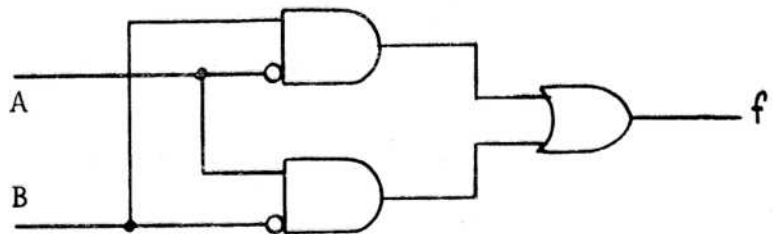


Figura 20.- Compuerta lógica OR-EXCLUSIVO instrumentada como la combinación de dos compuertas INHIBIT.

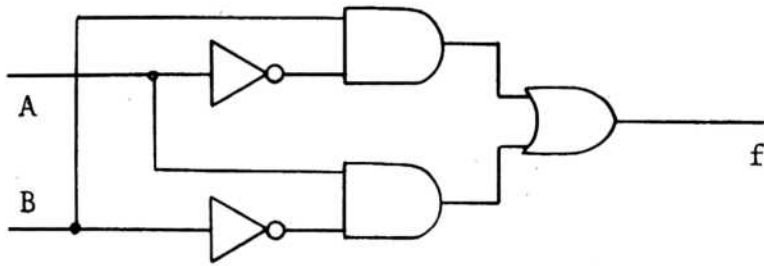
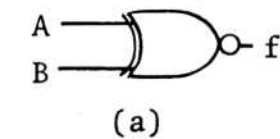


Figura 21.- Compuerta lógica OR-EXCLUSIVO instrumentada como la combinación de dos compuertas AND y una compuerta lógica OR.

5.9. COMPUERTA LOGICA COMPARACION(NOR-EXCLUSIVO).

Definición: La salida de una compuerta lógica COMPARACION adopta el estado lógico "1" si todas las entradas se encuentran en el estado lógico "1" o si todas las entradas adoptan el estado lógico "0".



$$\overline{A}.\overline{B} + A.B = f$$

(b)

n°	A	B	f
0	0	0	1
1	0	1	0
2	1	0	0
3	1	1	1

(c)

$$R_2(0,3) = f$$

(d)

$$\phi_2 = (1,2) = g$$

(e)

Figura 22.- (a) Símbolo, (b) función lógica, (c) tabla de verdad, (d) función R, y (e) función ϕ de una compuerta lógica COMPARACION.

Esta compuerta puede representarse como una combinación de compuertas AND y OR (fig. 23).

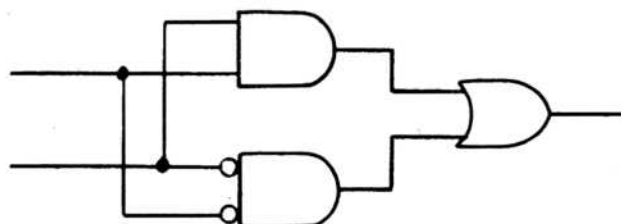


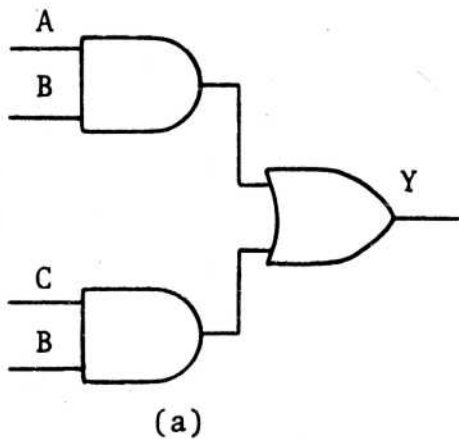
Figura 23.- Compuerta lógica COMPARACION implementada como una combinación de dos compuertas AND y una compuerta lógica OR.

6.- CIRCUITOS COMBINATORIOS

6.1. Definición: Se entiende por circuito lógico combinatorio a un ordenamiento de compuertas lógicas básicas a fin de conseguir una función lógica que no pueda proveer una compuerta sola por sí misma.

La función lógica final es solo dependiente de sus entradas.

En la fig. 1 puede verse un circuito combinatorio, el mismo está representado por: el circuito en sí, su ecuación lógica, su tabla de verdad, una función R y una función ϕ .



n°	A	B	C	Y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

(c)

$$R_3 (3, 6, 7) = f$$

(d)

$$A.B + C.B = Y$$

(b)

$$\phi_3 = \sum (0, 1, 2, 4, 5)$$

(e)

Figura 1.- Circuito lógico combinatorio de 3 compuertas lógicas y 3 variables lógicas independientes. (a) Esquema circuital, (b) función lógica. (c) tabla de verdad, (d) función R y (e) función ϕ .

La multiplicidad o diversidad de formas de representación de un circuito lógico crea la necesidad de conocer el camino de transformación de una a otra. Estos caminos son: análisis, diseño y minimización.

6.2. Análisis.

Definición: Es la conversión del esquema circuital de un circuito lógico en su función (síntesis). Deducida la función lógica y a fin de completar la descripción del circuito, escribir su TABLA DE VERDAD.

Debido a que tanto la tabla de verdad como la función R y ϕ describen en forma explícita la relación entre las variables independientes, escribir una implica escribir a las otras y viceversa. Pero la tabla de verdad describe la relación entre las variables contemplando todas las posibilidades o combinaciones de las variables mientras que las funciones R y ϕ sólo indican las combinaciones de las variables que proporcionan un "1" o un "0" a la salida, respectivamente.

Diseño.

Definición: Es la conversión de una tabla de verdad propuesta en la función booleana correspondiente y la posterior expansión de la misma en su diagrama circuital.

Minimización.

Definición: Es la conversión de un diagrama circuital en otro que cumpla la misma tabla de verdad pero que sea tecnológicamente más sencillo.

6.3. ANÁLISIS DE CIRCUITOS COMBINATORIOS.

Hemos dicho que un circuito lógico se denomina

combinatorio o combinacional cuando la salida del mismo es función de las variables de entrada pero no existen ni memorias intermedias ni realimentaciones. Un circuito combinatorio puede ser de uno o más niveles entendiéndose por nivel el número de compuertas que debe atravesar una variable antes de fijar la salida.

Contándose los niveles de la salida del circuito hacia la entrada.

Ejemplo 1- . El circuito lógico de la figura 2 depende de las variables A, B y C. A fin de determinar de que manera influye cada variable independiente sobre la variable dependiente o salida debe hacerse el análisis de la función lógica.

Un método de análisis consiste en asignar una letra no utilizada a la salida de cada compuerta lógica.

Escribir las ecuaciones lógicas respectivas partiendo de la salida hacia la entrada con las letras asignadas. Hacer la tabla de verdad agregando columnas adicionales para indicar las diversas combinaciones de estas variables y finalmente la propia función completa. Es evidente, por lo tanto, que puesto que se han tabulado todos los estados posibles, el ejemplo de una tabla de combinaciones para confirmar una función de Boole constituye una prueba por inducción perfecta.

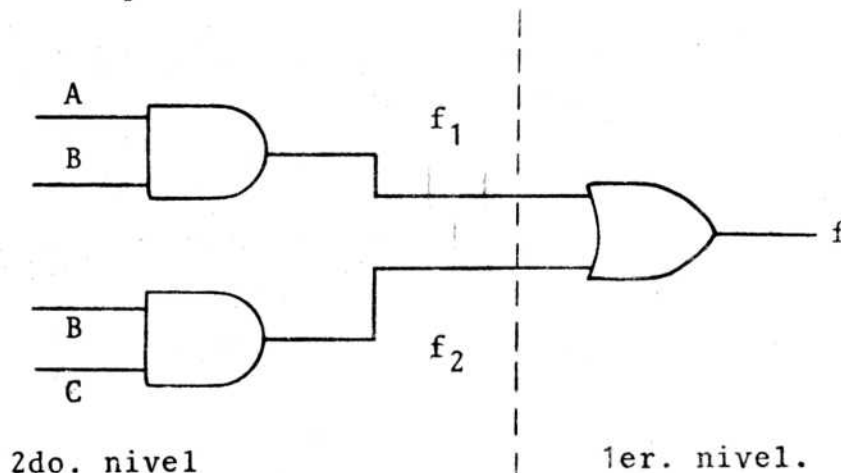


Figura 2-

Aplicando la técnica de análisis descripta se tiene:

$$f = f_1 + f_2$$

$$f_1 = A.B$$

$$f_2 = B.C$$

$$f = A.B + B.C$$

n°	A B C	A.B	B.C	f
0	0 0 0	0	0	0
1	0 0 1	0	0	0
2	0 1 0	0	0	0
3	0 1 1	0	1	1
4	1 0 0	0	0	0
5	1 0 1	0	0	0
6	1 1 0	1	0	1
7	1 1 1	1	1	1

$f = A.B + B.C$
 (b)
 $R_3 (3,6,7) = f$
 (c)
 $\phi_3 = (0,1,2,4,5)$
 (d)

Figura 3- . (a) Tabla de verdad. (b) Función lógica y (c) Función R. del circuito lógico de la Figura.

Ejemplo 2 .- En la figura 4 se tiene un circuito lógico que será ~~analizado~~ de la siguiente manera: asignamos un número a la salida de cada compuerta lógica partiendo de la entrada hacia la salida. Escribimos las ecuaciones lógicas partiendo de la salida hacia la entrada con los números asignados. Reemplazamos los números asignados en función de las variables de la salida hacia la entrada.

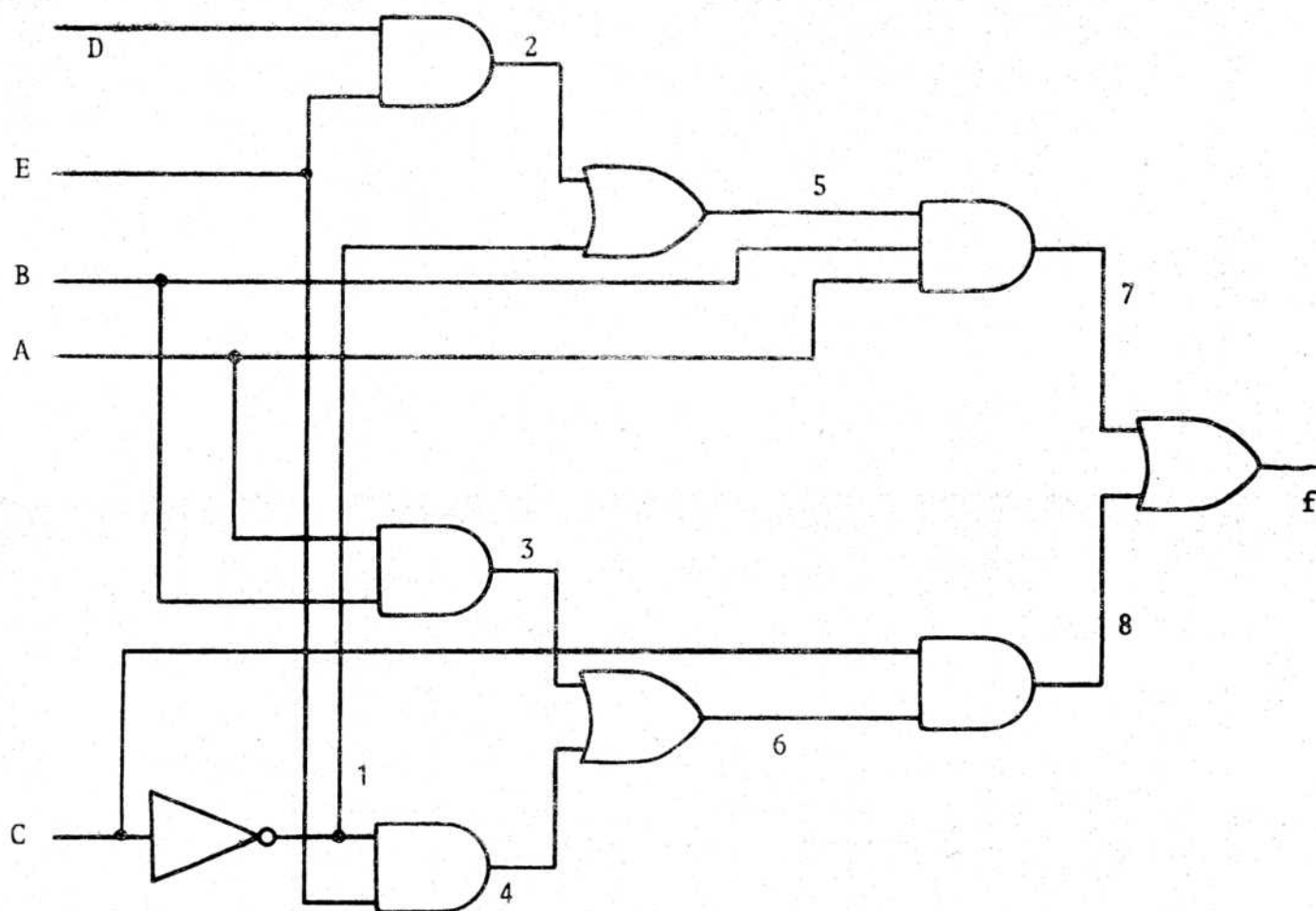


Figura 4-

Procedamos acorde a lo establecido:

$$\begin{aligned}
 f &= 7 + 8 \\
 8 &= 6 + C \\
 7 &= 5 + A + B \\
 6 &= 3 + 4 \\
 5 &= 1 + 2 \\
 4 &= 1 + E \\
 3 &= A + B \\
 2 &= D + E \\
 1 &= \overline{C}
 \end{aligned}$$

Reemplazamos ordenadamente:

$$4 = \overline{C} \cdot E$$

$$5 = \overline{C} + D \cdot E$$

$$6 = A \cdot B + \overline{C} \cdot E$$

$$7 = (\overline{C} + D \cdot E) \cdot A \cdot B$$

$$8 = [(A \cdot B) + (\overline{C} \cdot E)] \cdot C$$

$$f = (\overline{C} + D \cdot E) \cdot A \cdot B + (A \cdot B + \overline{C} \cdot E) \cdot C$$

Para completar el análisis debe plantearse la tabla de verdad respectiva como puede verse en la figura 5.-

n°	A	B	C	D	E	$\overline{C}$	D.E	$(\overline{C} + D.E) \cdot A \cdot B$	A.B	$\overline{C} \cdot E$	$(A \cdot B + \overline{C} \cdot E) \cdot C$	f
0	0	0	0	0	0	1	0	0	0	0	0	0
1	0	0	0	0	1	1	0	0	0	1	0	0
2	0	0	0	1	0	1	0	0	0	0	0	0
3	0	0	0	1	1	1	1	0	0	1	0	0
4	0	0	1	0	0	0	0	0	0	0	0	0
5	0	0	1	0	1	0	0	0	0	0	0	0
6	0	0	1	1	0	0	0	0	0	0	0	0
7	0	0	1	1	1	0	1	0	0	0	0	0
8	0	1	0	0	0	1	0	0	0	0	0	0
9	0	1	0	0	1	1	0	0	0	1	0	0
10	0	1	0	1	0	1	0	0	0	0	0	0
11	0	1	0	1	1	1	1	0	0	1	0	0
12	0	1	1	0	0	0	0	0	0	0	0	0
13	0	1	1	0	1	0	0	0	0	0	0	0
14	0	1	1	1	0	0	0	0	0	0	0	0
15	0	1	1	1	1	0	1	0	0	0	0	0
16	1	0	0	0	0	1	0	0	0	0	0	0
17	1	0	0	0	1	1	0	0	0	1	0	0
18	1	0	0	1	0	1	0	0	0	0	0	0
19	1	0	0	1	1	1	1	0	0	1	0	0
20	1	0	1	0	0	0	0	0	0	0	0	0
21	1	0	1	0	1	0	0	0	0	0	0	0
22	1	0	1	1	0	0	0	0	0	0	0	0
23	1	0	1	1	1	0	1	0	0	0	0	0
24	1	1	0	0	0	1	0	1	1	0	0	1
25	1	1	0	0	1	1	0	1	1	1	0	1
26	1	1	0	1	0	1	0	1	1	0	0	1
27	1	1	0	1	1	1	1	1	1	1	0	1
28	1	1	1	0	0	0	0	0	1	0	1	1
29	1	1	1	0	1	0	0	0	1	0	1	1
30	1	1	1	1	0	0	0	0	1	0	1	1
31	1	1	1	1	1	0	1	1	1	0	1	1

$$R_5 = (24, 25, 26, 27, 28, 29, 30, 31) = f$$

(b)

Figura 5.- a) Tabla de verdad.
b) Función R.

6.4 DISEÑO DE CIRCUITOS COMBINATORIOS

Deducción de la ecuación lógica a partir de la tabla de verdad.

Si dada una determinada tabla de verdad se adopta la convención de sustituir los estados "1" de las variables en sí y los estados "0" de una variable por la variable negada, la tabla de verdad para una compuerta OR-EXCLUSIVA quedaría representada como se muestra en la figura 6.

De esta tabla de verdad se desprende que la salida será uno cuando las variables que se encuentran en una misma fila o renglón se den así como están indicadas simultáneamente o cuando se den simultáneamente las variables que están indicadas en el otro renglón en el cual la variable dependiente adopta el estado "1" (renglón 2 y 3 respectivamente). La simultaneidad en un mismo renglón se puede expresar como: "Que la variable X adopte su estado o su estado negado, por ejemplo, Y (AND) la variable Z adopte el estado tal o cual": es decir, las variables que están en una misma fila se vinculan por la operación lógica AND. Las variables que se encuentran en distintos renglones pero que den el mismo resultado de la variable lógica dependiente se vinculan por la operación lógica OR.

Las relaciones enunciadas son las que pone de manifiesto la tabla de verdad y la función lógica de la figura 6 correspondiente a una OR-EXCLUSIVA.

n°	A	B	A	B	Y
0	0	0	$\bar{A}$	$\bar{B}$	0
1	0	1	$\bar{A}$	B	1 $\rightarrow \bar{A}.B$
2	1	0	A	$\bar{B}$	1 $\rightarrow A.\bar{B}$
3	1	1	A	B	0

(a)

(b) $\bar{A}.B + A.\bar{B} = Y$

Figura 6- a) Tabla de verdad, (b) función lógica de la compuerta OR-EXCLUSIVA.

Ejemplo 3 : A fin de aplicar el esquema de cálculo de la función lógica, deduzcamos la correspondiente a la siguiente tabla de verdad.

n°	A	B	C	$\overline{A}$	$\overline{B}$	$\overline{C}$	Y
0	0	0	0	$\overline{A}$	$\overline{B}$	$\overline{C}$	0
1	0	0	1	$\overline{A}$	$\overline{B}$	C	1
2	0	1	0	$\overline{A}$	B	$\overline{C}$	1
3	0	1	1	$\overline{A}$	B	C	0
4	1	0	0	A	$\overline{B}$	$\overline{C}$	0
5	1	0	1	A	$\overline{B}$	C	1
6	1	1	0	A	B	$\overline{C}$	0
7	1	1	1	A	B	C	0

Figura 7- Tabla de verdad de una cierta función.

Del renglón 1 se tiene $\overline{A}.\overline{B}.C$

Del renglón 2 se tiene $\overline{A}.B.\overline{C}$

Del renglón 5 se tiene $A.\overline{B}.C$

Combinando los tres renglones en donde la función lógica adopta el estado lógico "1", se tiene:

$$f = \overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + A.\overline{B}.C$$

Ejemplo 4- Dibujar la función lógica de la siguiente tabla de verdad.

n°	A B C	$\overline{A} \overline{B} \overline{C}$	Y
0	0 0 0	$\overline{A} \overline{B} \overline{C}$	0
1	0 0 1	$\overline{A} \overline{B} C$	0
2	0 1 0	$\overline{A} B \overline{C}$	0
3	0 1 1	$\overline{A} B C$	1
4	1 0 0	$A \overline{B} \overline{C}$	0
5	1 0 1	$A \overline{B} C$	1
6	1 1 0	$A B \overline{C}$	0
7	1 1 1	$A B C$	1

Figura 8.- Tabla de verdad de una cierta función.

Del renglón 3 se tiene $\overline{A}.B.C$

Del renglón 5 se tiene $A.\overline{B}.C$

Del renglón 7 se tiene $A.B.C$

Uniendo los tres renglones en donde la función adopta el estado lógico "1", se tiene:

$$1 = \overline{A}.B.C + A.\overline{B}.C + A.B.C$$

En los dos ejemplos propuestos se puede escribir sus respectivas funciones R:

$$\text{Ejemplo 3 : } R_3 (1, 2, 5) = f$$

$$\text{Ejemplo 4 : } R_3 (3, 5, 7) = f$$

En los dos ejemplos propuestos se podría escribir la función ϕ , es decir, los renglones en donde la función adopta el estado lógico "0":

$$\text{Ejemplo 3 : } \phi_3 (0, 3, 4, 6, 7) = g$$

$$\text{Ejemplo 4 : } \phi_3 (0, 1, 2, 4, 6) = g$$

Teniendo en cuenta que la función que llamamos f pone de manifiesto las filas en donde la función adopta el estado lógico "1" y la que llamamos g pone de manifiesto las filas en donde la función adopta el estado lógico "0", es válido escribir:

$$f = \overline{g}$$

O a los efectos de una mayor generalización:

$$\phi = \overline{R}$$

Dada la función lógica dibujar el diagrama circuital.

Dada una función lógica de fin de expandir la misma en su diagrama circuital se precede de la siguiente manera: Se observa cual es la operación de menor nivel, es decir,

que abarca o afecta a todas las variables lógicas independientes. En caso de encontrarse parte de la función encerrada entre peréntesis estos indican al igual que en el álgebra común que la función que afecta al paréntesis abarca a todo lo que él contiene por lo tanto es de menor nivel que las funciones que el peréntesis contiene.

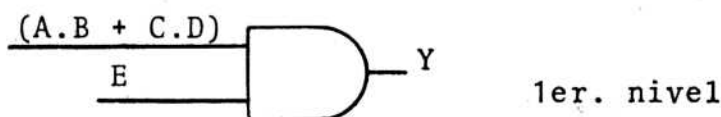
Se comienza por representar la compuerta cuya función comprende la función lógica de menor nivel de la función completa, la salida de la misma será la salida del diagrama circuital. La cantidad de entrada de esta compuerta será igual al número de términos que relaciona la operación de menor nivel.

En cada una de sus entradas se escribe un término que se seguirá analizando de la manera anterior hasta obtener las variables independientes solas a las entradas de las compuertas de mayor nivel.

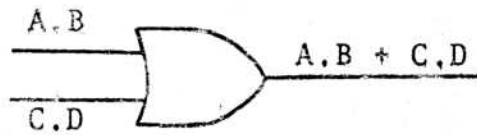
No olvidemos que los niveles lógicos se cuentan de la salida del circuito lógico hacia la entrada del mismo.

Mediante el siguiente ejemplo racionalicemos el método:

a) Sea la función lógica : $(A.B + C.D) . E = Y$: La operación que afecta a todas las variables es una operación lógica AND, se la representa

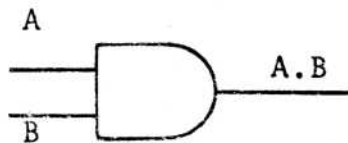


b) Se toman las variables del nivel siguiente: en el ejemplo $(A.B + C.D)$, las variables lógicas se hallan vinculadas por una compuerta lógica OR, se la representa

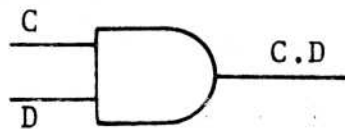


2do. nivel

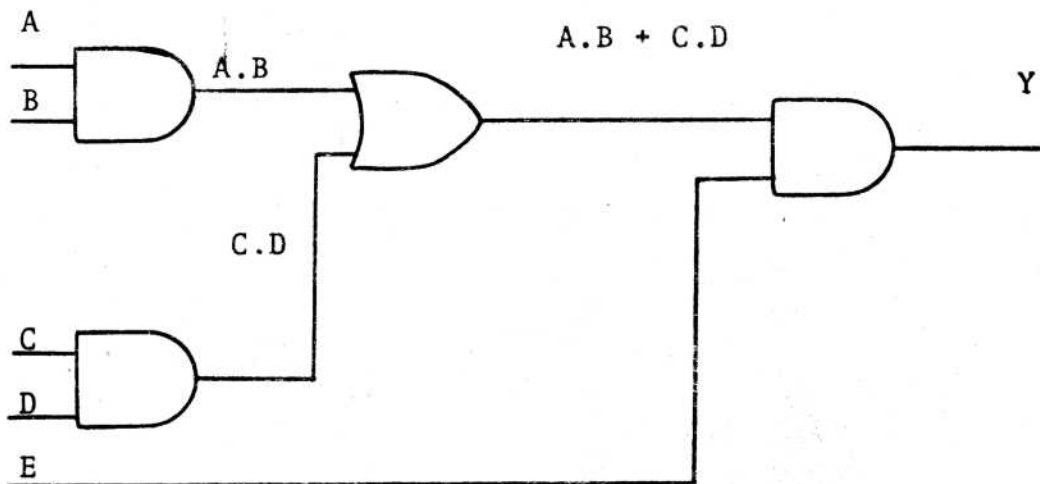
c) Se toman las variables del siguiente nivel, en el ejemplo $A.B$ que se hallan vinculadas por una compuerta lógica AND y C, D que también se hallan vinculadas por una compuerta lógica AND, se las representa



3er. nivel



d) Finalmente se unen todos los niveles lógicos:



6.5. MINIMIZACION

Minimizar un circuito lógico consiste en crear otro circuito lógico que cumpla exactamente la misma tabla de verdad, y si es posible que tenga menos compuertas lógicas.

cas, pero en general que sea tecnológicamente más conveniente.

La minimización de un circuito lógico se puede lograr mediante diversas técnicas veremos la de manipulación algebraica de las funciones lógicas y el mapa de Karnaugh.

Manipulación algebraica.

La manipulación algebraica se basa en los postulados de Boole y en una serie de teoremas que se derivan de dichos postulados.

Postulado 1a $A=1$ si $A \neq 0$

Postulado 1b $A=0$ si $A \neq 1$

Estos postulados son los que definen que a una variable lógica puede tomar uno de dos estados posibles y que los mismos son excluyentes.

Postulado 2a $0.0 = 0$

Postulado 2b $1.1 = 1$

Como puede observarse los postulados que se van brindando se dan de a pares y así sucederá con todos los que se seguirán enunciando y ellos responden al principio de dualidad que dice: "Si en una ecuación lógica se sustituyen los símbolos lógicos que indican operaciones AND y los ceros lógicos por unos lógicos y viceversa los resultados serán los mismos a menos que sean ceros o unos lógicos, que en ese caso también cambian".

Postulado 3a $1.1 = 1$

Postulado 3b $0.0 = 0$

Postulado 4a $1.0 = 0.1 = 0$

Postulado 4b $0.1 = 1.0 = 1$

Postulado 5a $\overline{0} = 1$

Postulado 5b $\overline{1} = 0$

Teoremas del álgebra de Boole.

Teorema 1a $A + 0 = A$

Teorema 1b $A \cdot 1 = A$

Demostración:

Teorema 1a.-

Si $A=0$, se tiene $0+0=0$ (Postulado 3b)

Si $A=1$, se tiene $1+0=1$ (Postulado 4b)

Esto indica que el resultado sigue los estados lógicos de A, luego A OR "0" es A

Teorema 1b

Si $A=0$, se tiene $0 \cdot 1 = 0$ (Postulado 4a)

Si $A=1$, se tiene $1 \cdot 1 = 1$ (Postulado 3a)

Esto indica que el resultado sigue los estados lógicos de A, luego A AND "1" es A.

La manera de demostrar estos dos teoremas duales ha sido por inducción completa.

Teorema 2a $A + 1 = 1$

Teorema 2b $A \cdot 0 = 0$

Demostración:

Teorema 2a.

Si $A=0$, se tiene $0+1 = 1$ (Postulado 4b)

Si $A=1$, se tiene $1+1 = 1$ (Postulado 2b)

Esto indica que el resultado sigue en el estado lógico "1", independientemente del valor que adopte la variable lógica A, luego A OR "1" es "1"

Teorema 2b.

Si $A=0$, se tiene $0 \cdot 0 = 0$ (Postulado 2a)

Si $A=1$, se tiene $1 \cdot 0 = 0$ (Postulado 4a)

Esto indica que el resultado sigue en el estado

lógico "0", independientemente del valor que adopte la variable lógica A, luego A AND "0" es "0".

Teorema 3a $A + A = A$

Teorema 3b $A \cdot A = A$

Demostración:

Teorema 3a.

Si $A=0$, se tiene $0+0 = 0$ (Postulado 3b)

Si $A=1$, se tiene $1+1 = 1$ (Postulado 2b)

Esto indica que si se combina o no la variable con sí misma el resultado concide con el estado que la variable, única, ha adoptado, luego A OR A es A.

Teorema 3b.

Si $A=0$, se tiene $0 \cdot 0 = 0$ (Postulado 2a)

Si $A=1$, se tiene $1 \cdot 1 = 1$ (Postulado 3a)

Esto indica que si se combina o no la variable con sí misma, el resultado coincide con el estado que la variable, única, ha adoptado, luego A AND A es A.

Teorema 4a. $\overline{(\overline{A})} = A$

Teorema 4b. $\overline{\overline{A}} = A$

El primero de estos teoremas es nada más que una notación que nos indica que encerrar o no entre paréntesis una variable a los fines de negarla (someterla a la operación lógica NOT) es exactamente lo mismo.

El segundo indica que una variable lógica que es negada dos veces recupera su estado original es decir, la variable en sí.

Teorema 5a. $A + \overline{A} = 1$

Teorema 5b. $A \cdot \overline{A} = 0$

Demostración

Teorema 5a.

Si $A=0$ será $\overline{A}=1$ por Postulado 5a, luego $0+1 = 1$ acorde al Postulado 4b.

Si $A=1$ será $\bar{A}=0$ por Postulado 5b, luego $1+0 = 1$ acorde al Postulado 4b.

Esto indica que independientemente del estado que adopte la variable lógica el resultado adopte el estado lógico "1", consecuentemente: $A \text{ OR } \bar{A}$ es "1".

Teorema 5b.

Si $A=0$ será $\bar{A}=1$ por Postulado 5a, luego $0.1 = 0$ acorde al Postulado 4a.

Si $A=1$ será $\bar{A} = 0$ por Postulado 5b, luego $1.0 = 0$ acorde al Postulado 4a.

Esto indica que independientemente del estado que adopte la variable lógica el resultado adopta el estado lógico "0", consecuentemente: $A \text{ AND } \bar{A}$ es "0".

Teorema 6a. $A (A + B) = A$

Teorema 6b. $A + A.B = A$

Demostración:

Teorema 6a.

Otra manera de mostrar la inducción perfecta es a través de la TABLA DE VERDAD.

n°	A	B	A+B	A(A+B)
0	0	0	0	0
1	0	1	1	0
2	1	0	1	1
3	1	1	1	1

Puede verse que independientemente del estado de la variable lógica B, la salida $A(A + B)$ sigue los estados lógicos que adopta la variable lógica A, luego: $A \text{ AND } (A \text{ OR } B)$ es A.

Teorema 6b.

Hagamos la TABLA DE VERDAD respectiva:

n°	A B	A.B	A + A.B
0	0 0	0	0
1	0 1	0	0
2	1 0	0	1
3	1 1	1	1

Puede verse que independientemente del estado de la variable lógica B, la salida $A + A.B$ sigue los estados lógicos que adopte la variable lógica A, luego A OR (A AND B) es A.

Podemos pensar que los teoremas 6a y 6b introducen la propiedad distributiva del álgebra, veamos:

$$A (A + B) = A.A + A.B$$

pero $A.A = A$ (Teorema 3b)

luego $A (A + B) = A + AB$ que por los teoremas 6a. y 6b. son la variable lógica A.

Teorema 7a. $A (\bar{A} + B) = A.B$

Teorema 7b. $A + \bar{A}.B = A + B$

Demostración:

Teorema 7a.

Aceptando la validez de la propiedad distributiva del álgebra comprobada por los teoremas 6a. y 6b.

$$A (\bar{A} + B) = A.\bar{A} + A.B$$

pero $A.\bar{A} = 0$ por teorema 5b.

luego $A (\bar{A} + B) = A.B$ lo que comprueba el teorema.

Teorema 7b.

Hagamos la TABLA DE VERDAD respectiva:

n°	A B	$\bar{A}$	$\bar{A}.B$	$A + \bar{A}.B$	$A + B$
0	0 0	1	0	0	0
1	0 1	1	1	1	1
2	1 0	0	0	1	1
3	1 1	0	0	1	1

Observando que las dos últimas columnas adoptan los mismos estados para idénticos estados de las variables independientes sus expresiones son equivalentes, luego:
A OR (A NEGADA AND B) es A OR B.

Teorema 8a. $A.B + A.C = A(B + C)$

Teorema 8b. $(A + B) (A + C) = A + BC$

Demostración:

Teorema 8a.

Si se comprueban estos dos teoremas queda definitivamente comprobada la ley de distribución del álgebra válida también para el álgebra de Boole.

Hagamos la TABLA DE VERDAD respectiva:

n°	A	B	C	A.B	A.C	A(B+C)	A.B + A.C
0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0
2	0	1	0	0	0	0	0
3	0	1	1	0	0	0	0
4	1	0	0	0	0	0	0
5	1	0	1	0	1	1	1
6	1	1	0	1	0	1	1
7	1	1	1	1	1	1	1

(I)

(II)

Observando que las columnas (I) y (II) adoptan los mismos estados para idénticos estados de las variables independientes sus expresiones son equivalentes, luego,

(A OR B) AND (A OR C) es A AND (B OR C), que es similar a la regla A MAS B POR A MAS C es igual a A POR LA SUMA DE B.

Esta regla es denominada asociativa.

Demostración:

Teorema 8b.

Hagamos la TABLA DE VERDAD respectiva:

n°	A B C	A+B	A+C	B.C	(A+B) (A+C)	A+ BC
0	0 0 0	0	0	0	0	0
1	0 0 1	0	1	0	0	0
2	0 1 0	1	0	0	0	0
3	0 1 1	1	1	1	1	1
4	1 0 0	1	1	0	1	1
5	1 0 1	1	1	0	1	1
6	1 1 0	1	1	0	1	1
7	1 1 1	1	1	1	1	1

(I) (II)

Observando que las columnas (I) y (II) adoptan los mismos estados para idénticos estados de las variables independientes sus expresiones son equivalentes, luego
(A OR B) AND (A OR C) es A OR (B AND C).

Esta regla es similar a la que establece la multiplicación de polinomios, veamos si hubiéramos aplicado la regla conocida:

$$(A + B)(A + C) = A.A + A.C + B.A + B.C$$

Es decir, cada miembro del primer polinomio por cada miembro del segundo polinomio.

Pero $A.A = A$ acorde al Teorema 3b.

Y $A.C + B.A = A(C+B)$ acorde al Teorema 8a.

Luego:

$$(A+B)(A+C) = A+A(C+B) + B.C$$

Pero:

$$A + A(C+B) = A(1 + C + B) \text{ generalizando el teorema 8a.}$$

Y:

La relación $1 + C + B = 1$ generalizando el Teorema 2a.

En consecuencia:

$(A+B)(A+C) = A+BC$ que es lo que se quería demostrar.

Teorema 9a. $AB + BC + \bar{A}C = AB + \bar{A}C$

Teorema 9b $(A + B)(\bar{A} + C) = AB + \bar{A}C$

Demostración:

Teorema 9a.

Hagamos la TABLA DE VERDAD respectiva:

n°	A B C	AB	BC	$\bar{A}C$	$AB+BC+\bar{A}C$	$AB + \bar{A}C$
0	0 0 0	0	0	0	0	0
1	0 0 1	0	0	1	1	1
2	0 1 0	0	0	0	0	0
3	0 1 1	0	1	1	1	1
4	1 0 0	0	0	0	0	0
5	1 0 1	0	0	0	0	0
6	1 1 0	1	0	0	1	1
7	1 1 1	1	1	0	1	1

(I)

(II)

Observando que las columnas (I) y (II) adoptan los mismos estados para idénticos estados de las variables independientes sus expresiones son equivalentes.

Teorema 9b.

A fin de demostrarlo hechemos mano a los teoremas duales 8a y 8b.

$$(A + B)(\bar{A} + C) = A.\bar{A} + AC + \bar{B}\bar{A} + BC$$

Recordando que:

$$A.A = 0 \text{ Por Teorema 5b.}$$

$$(A + B)(\bar{A} + C) = 0 + AC + \bar{A}B + BC$$

Recordando el Teorema 1a.

$$(A + B)(\bar{A} + C) = AC + BC + \bar{A}B$$

Por Teorema 9a

$$AC + BC + \bar{A}B = AC + \bar{A}B$$

Luego:

$$(A + B)(\bar{A} + C) = AC + \bar{A}B \text{ que es la tesis.}$$

Nota: Obsérvese que al aplicar el Teorema 9a. se ha cambiado la B por la C respecto de lo demostrado con la tabla de verdad, pero que la validez subsiste.

$$\text{Teorema 10a. } \overline{A + B + C + \dots} = \bar{A} \cdot \bar{B} \cdot \bar{C} \dots$$

$$\text{Teorema 10b. } \overline{A \cdot B \cdot C \cdot \dots} = \bar{A} + \bar{B} + \bar{C} + \dots$$

Teorema 11b.

Hagamos la TABLA DE VERDAD respectiva:

n°	A	B	$\bar{A}$	A+B	$\bar{A}+B$	(A+B)($\bar{A}+B$)
0	0	0	1	0	1	0
1	0	1	1	1	1	1
2	1	0	0	1	0	0
3	1	1	0	1	1	1

(I)
(II)

Observando que las columnas (I) y (II) adoptan los mismos estados para idénticos estados de las variables independientes sus expresiones son equivalentes, luego:

$$(A + B)(\bar{A} + B) = B$$

Haciendo la multiplicación de dos polinomios tenemos:

$$\begin{aligned}
 (A + B)(\bar{A} + B) &= A.\bar{A} + A.B + \bar{A}.B + B.B \\
 &= 0 + A.B + \bar{A}.B + B.B \\
 &= A.B + \bar{A}.B + B.B \\
 &= (A+\bar{A}).B + B.B \\
 &= 1.B + B.B \\
 &= (1 + B).B \\
 &= 1.B \\
 &= B
 \end{aligned}$$

Como puede observarse en el desarrollo precedente se han aplicado los teoremas conocidos a fin de demostrar el Teorema enunciado.

Estos teoremas se suelen denominar Teoremas o Reglas de Morgan.

Demostración.

Teorema 10a.

Haremos la demostración para dos variables y aceptaremos que es válida para más variables lógicas independientes.

Establezcamos la tabla de verdad respectiva:

n°	A B	$\overline{A}$	$\overline{B}$	A+B	$\overline{A+B}$	$\overline{A.B}$
0	0 0	1	1	0	1	1
1	0 1	1	0	1	0	0
2	1 0	0	1	1	0	0
3	1 1	0	0	1	0	0

(I) (II)

Observando que las columnas (I) y (II) adoptan los mismos estados para idénticos estados de las variables independientes sus expresiones son equivalentes, luego: LA NEGACION DE UNA FUNCION OR ES IGUAL A LA FUNCION AND DE LAS RESPECTIVAS VARIABLES INDEPENDIENTES NEGADAS.

Teorema 10b.

Haremos la denominación para dos variables y aceptaremos que es válida para más variables lógicas independientes.

Establezcamos la tabla de verdad respectiva:

n°	A	B	A	B	A.B	A+B
0	0	0	1	1	1	1
1	0	1	1	0	1	1
2	1	0	0	1	1	1
3	1	1	0	0	0	0

(I) (II)

Observando que las columnas (I) y (II) adoptan los mismos estados para idénticos estados de las variables independientes sus expresiones son equivalentes, luego: LA NEGACION DE UNA FUNCION AND ES IGUAL A LA FUNCION OR DE LAS RESPECTIVAS VARIABLES INDEPENDIENTES NEGADAS.

Teorema 11a. $A.B + \bar{A}.B = B$

Teorema 11b. $(A + B) (\bar{A} + B) = B$

Demostración:

Teorema 11a.

Si en la expresión se saca "factor común" se tiene:

$$A.B + \bar{A}.B = B(A + \bar{A})$$

Pero aplicando el Teorema 5a.

$$A.B + \bar{A}.B = B.1$$

Aplicando el Teorema 1b.

$$A.B + \bar{A}.B = B \text{ que es la tesis.}$$

SUMARIO DE TEOREMAS

Teorema 1a. $A + 0 = A$

Teorema 1b. $A . 1 = A$

Teorema 2a. $A + 1 = 1$

Teorema 2b. $A . 0 = 0$

Teorema 3a. $A + A = A$

Teorema 3b. $A . A = A$

Teorema 4a $\overline{(\bar{X})} = X$

Teorema 4b. $\overline{\overline{X}} = X$

Teorema 5a. $A + \overline{A} = 1$

Teorema 5b. $A \cdot \overline{A} = 0$

Teorema 6a. $A(A + B) = A$

Teorema 6b. $A + A \cdot B = A$

Teorema 7a. $A(\overline{A} + B) = AB$

Teorema 7b. $A + \overline{A} \cdot B = A + B$

Teorema 8a. $AB + AC = A(B + C)$

Teorema 8b. $(A + B)(A + C) = A + BC$

Teorema 9a. $AB + BC + \overline{A}C = AB + \overline{A}C$

Teorema 9b. $(A + B)(\overline{A} + C) = AC + \overline{A}B$

Teorema 10a. $\overline{A + B + C + \dots} = \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \dots$

Teorema 10b. $\overline{A \cdot B \cdot C \cdot \dots} = \overline{A} + \overline{B} + \overline{C} + \dots$

Teorema 11a $AB + \overline{A}B = B$

Teorema 11b $(A + B)(\overline{A} + B) = B$

6.6. Diagramas de Veitch

Si en las propiedades de las operaciones booleanas, suponemos que las letras representan conjuntos, y hacemos la correspondencia:

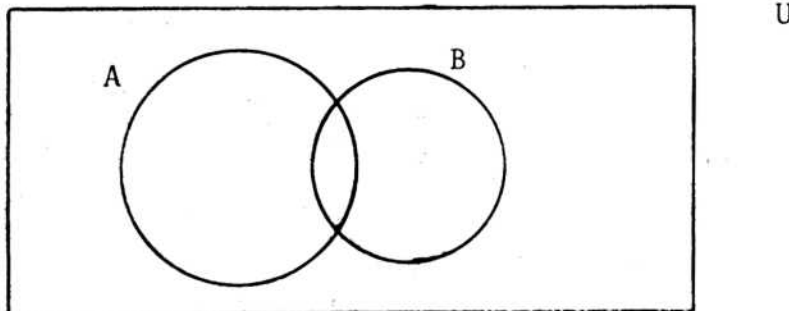
	1	————	Conjunto Universal.
	0	————	Conjunto Vacío
Suma booleana	$A+B$	————	Unión de conjunto $A \cup B$
Producto booleano	$A.B$	————	Intersección de conjuntos $A \cap B$
Complemento booleano	$\bar{A}$	————	Complemento de conjunto A ,

obtenemos las propiedades de las operaciones de unión, intersección y complemento de conjuntos.

El diagrama de Veitch de n elementos, que es una representación gráfica de esos n elementos y de las operaciones que pueden realizarse entre ellos, se basa precisamente en esta analogía.

6.6. Descripción de los diagramas de Venn.

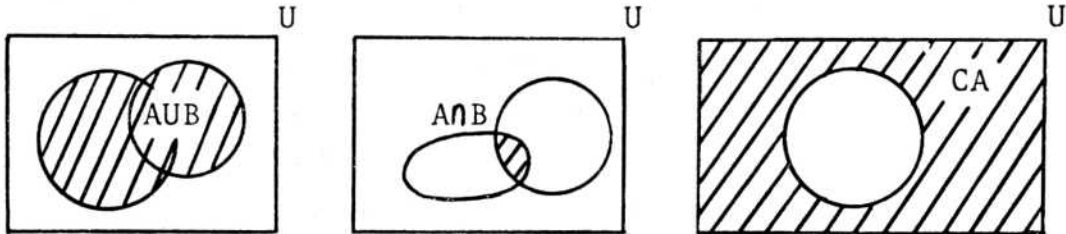
Recordemos que en los diagramas de Venn, el conjunto universal U se representa por medio de un rectángulo principal, mientras que todos los conjuntos ($A, B, \dots$) incluidos en U se representan por medio de figuras cerradas incluidas en el rectángulo principal.



La unión y la intersección de dos conjuntos, se representan por medio de la unión y la intersección de las figuras que los representan; mientras que el complemento

de un conjunto se representa por medio de la zona que le falta a la figura que lo representa, para completar el rectángulo principal.

Veamos tres ejemplos ilustrativos:



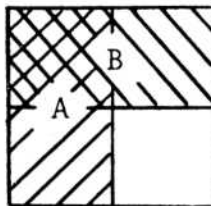
Descripción de los diagramas de Veitch.

Los diagramas de Veitch son análogos a los de Venn.

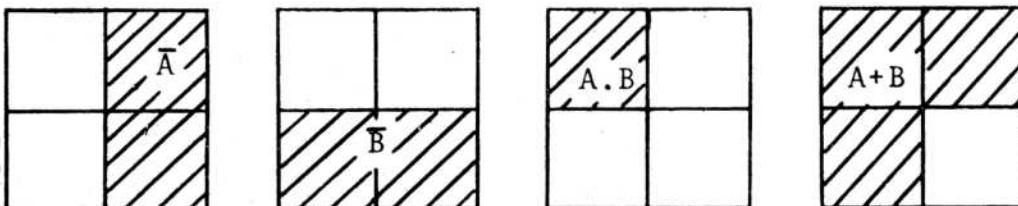
En estos diagramas el 1 se representa por medio de un rectángulo (o cuadrado, según el número de variables) principal y las variables booleanas (A,B,C,...) por medio de zonas rectangulares incluidas en el rectángulo principal. La suma de dos variables se representa por medio de la unión de las zonas que representan a las variables, y el producto, por la intersección.

El complemento de una variable A se representa por medio de la zona que le falta a la zona que representa a A para completar el rectángulo principal.

Veamos como ejemplo un diagrama de Veitch de 2 variables A y B.



En este diagrama representaremos: $\bar{A}$, $\bar{B}$, $A.B$ y $A+B$



Notemos que cada casillero representa un mintérmino:

	A	$\bar{A}$
B	$A.B$	$\bar{A}.B$
$\bar{B}$	$A.\bar{B}$	$\bar{A}.\bar{B}$

De la misma manera, podemos construir un diagrama de Veitch de 3 variables A, B y C :

	A	$\bar{A}$	
B	$A.B.\bar{C}$	$A.B.C$	$\bar{A}.B.C$
$\bar{B}$	$A.\bar{B}.\bar{C}$	$A.\bar{B}.C$	$\bar{A}.\bar{B}.C$
	$\bar{C}$	C	$\bar{C}$

Y de 4 variables A, B, C y D:

	A	$\bar{A}$		
B	$AB\bar{C}\bar{D}$	$AB\bar{C}D$	$\bar{A}B\bar{C}\bar{D}$	$\bar{A}B\bar{C}D$
	$AB\bar{C}\bar{D}$	$AB\bar{C}D$	$\bar{A}B\bar{C}\bar{D}$	$\bar{A}B\bar{C}D$
$\bar{B}$	$A\bar{B}\bar{C}\bar{D}$	$A\bar{B}\bar{C}D$	$\bar{A}\bar{B}\bar{C}\bar{D}$	$\bar{A}\bar{B}\bar{C}D$
	$A\bar{B}\bar{C}\bar{D}$	$A\bar{B}\bar{C}D$	$\bar{A}\bar{B}\bar{C}\bar{D}$	$\bar{A}\bar{B}\bar{C}D$
	$\bar{C}$	C	$\bar{C}$	

Evidentemente, el número de casilleros de un diagrama de Veitch de n variables es 2^n (el número de mintérminos correspondientes).

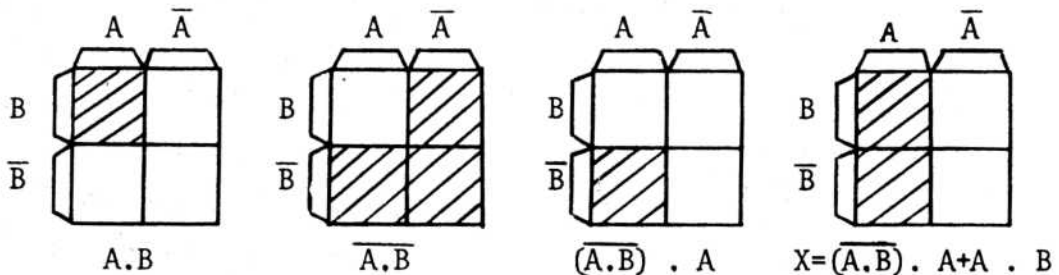
- . Obtención de la forma canónica de una función a partir de su representación en un diagrama de Veitch..

Notemos que cualquiera sea la función X , su representación en un diagrama de Veitch estará dada por una unión de casilleros (minterminos): luego, de esta representación podremos obtener la forma canónica de X .

Veamos un ejemplo:

$$\text{Sea } X = \overline{(A.B)}.A + A.B$$

Representemos las sucesivas operaciones:



De la representación de X obtenemos su forma canónica directamente:

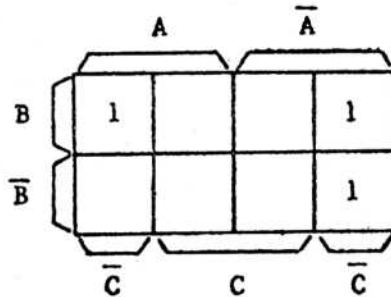
$$X = A.B + A.\overline{B}$$

(En adelante, en lugar de sombrear los casilleros, los marcaremos con un 1)

Recíprocamente, dada la forma canónica de una función, es inmediato hallar su representación gráfica en un diagrama de Veitch.

Por ejemplo, la representación de la función:

$$X = A.B.\overline{C} + \overline{A}.B.\overline{C} + \overline{A}.\overline{B}.\overline{C} \text{ será:}$$



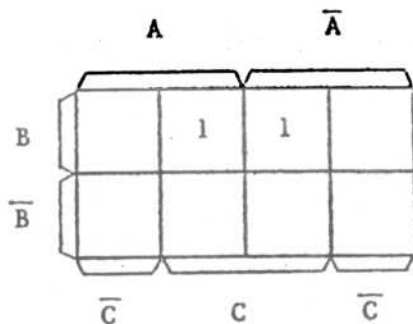
Evidentemente, la forma canónica del complemento de una función es la suma de los mintérminos que no están marcados con 1, en el caso de la función anterior:

$$\bar{X} = A.B.C + \bar{A}.B.C + A.\bar{B}.\bar{C} + A.\bar{B}.C + \bar{A}.\bar{B}.C$$

A partir de esta expresión podemos hallar la expresión de X como producto de maxtérminos según vimos en 2.8.

- . Simplificación de mintérminos representados por casilleros adyacentes.

Notemos que los mintérminos representados por casilleros adyacentes (con un lado común) difieren siempre en un factor; luego, por lo visto en 2.9, la unión de dos casilleros adyacentes representa un término con un factor menos. Por ejemplo, en el diagrama siguiente:



Los casilleros marcados con 1 representan a los mintérminos $A.B.C$ y $\bar{A}.B.C$, mientras que la unión de estos casilleros representa al término $B.C$.

En general, en un diagrama de n variables:

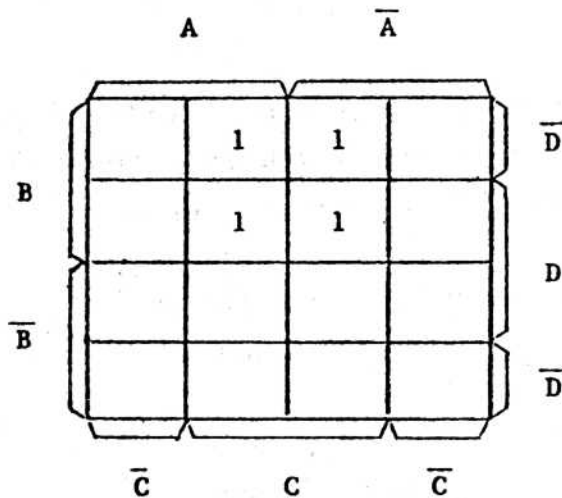
La unión de 2 casilleros adyacentes representa un término con $n-1$ factores.

La unión de 4 casilleros adyacentes representa un término $n-2$ factores.

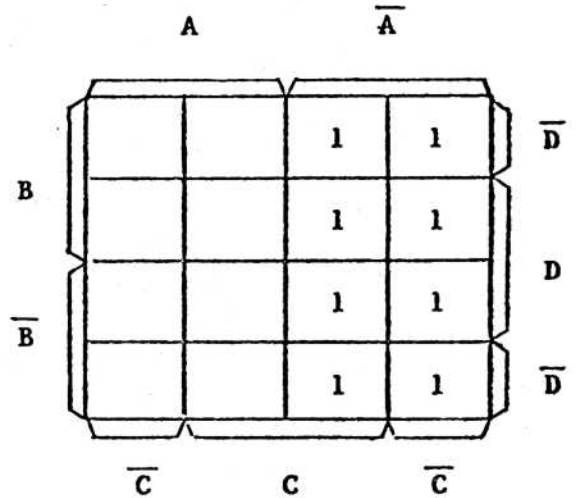
La unión de 8 casilleros adyacentes representa un término con $n-3$ factores.

Etc.

Por ejemplo:



$$X = B.C$$



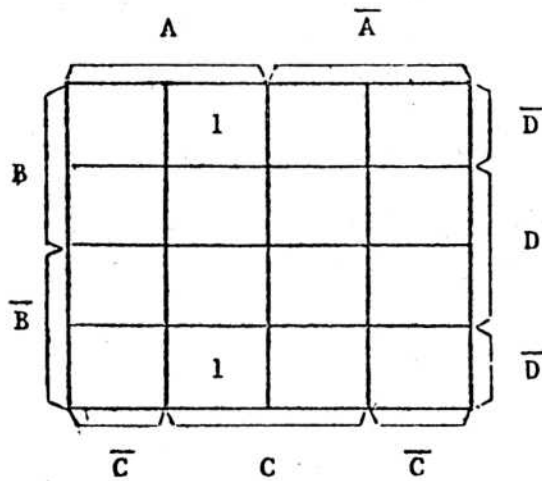
$$X = \bar{A}$$

Es importante notar que, a los efectos de simplificar min-términos, deben considerarse adyacentes, además de los casilleros que tienen un lado en común:

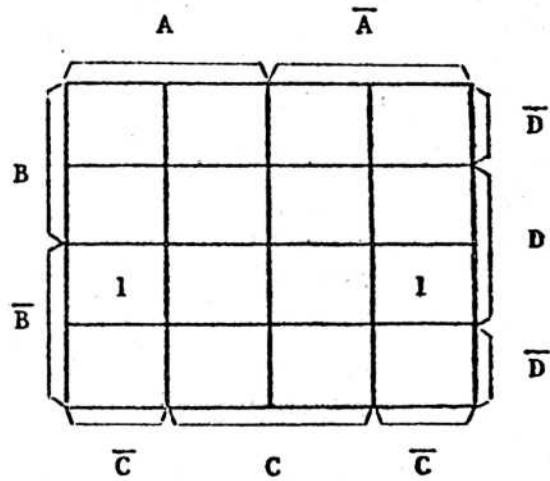
- Los casilleros de la primera y última columna de una fila.
- Los casilleros de la primera y última fila de una columna.

c) Como caso particular de a) y b), los cuatro casilleros de los vértices.

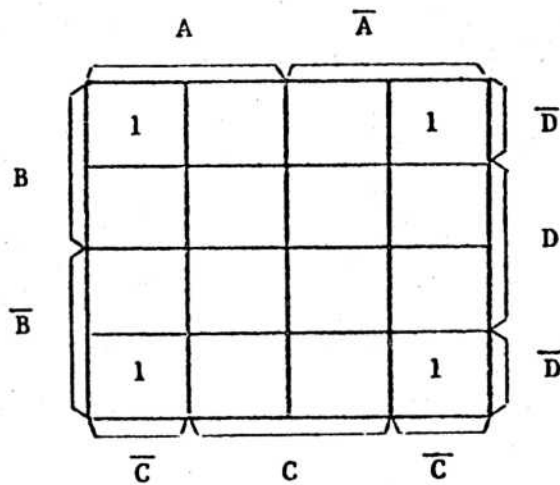
Por ejemplo:



$$X = A.C.\bar{D}$$



$$X = \bar{B}.\bar{C}.D$$



$$X = \bar{C}.\bar{D}$$

. Simplificación de funciones por medio de los diagramas de Veitch.

De lo visto anteriormente surge que, para simplificar una función X deben tenerse en cuenta los siguientes puntos:

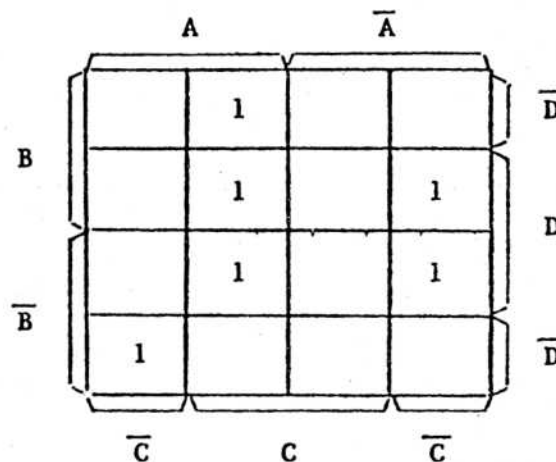
- a) Representar X en un diagrama de Veitch.
- b) Formar términos que abarquen la mayor cantidad posible de casilleros adyacentes, recordando que cada término puede tomar 1, 2, 4, 8 etc. casilleros.
- c) Pueden utilizarse aquellos casilleros adyacentes que hayan sido utilizados para formar otro término.
- d) La suma de los términos formados nos dará la función simplificada.

Debe quedar bien claro que la función simplificada está formada por todos los términos que se obtuvieron al agrupar mintérminos, más todos aquellos mintérminos que no admiten simplificación por no tener adyacentes.

Veamos un ejemplo:

$$\text{Sea } X = A.B.C.\overline{D} + A.B.C.D + A.\overline{B}.C.D + A.\overline{B}.\overline{C}.\overline{D} + \overline{A}.B.\overline{C}.D + \overline{A}.\overline{B}.\overline{C}.D$$

La representación de X en un diagrama de Veitch será:



El primer y segundo casillero de la segunda columna representan el término A.B.C. El segundo y tercer

casillero de la segunda columna representan el término A.C.D. El segundo y tercer casillero de la cuarta columna representa el término $\bar{A}.\bar{C}.D$. El casillero del vértice inferior izquierdo representa el mintérmino $A.\bar{B}.\bar{C}.\bar{D}$.

Luego, la función simplificada será:

$$X = A.B.C + A.C.D + \bar{A}.\bar{C}.D + A.\bar{B}.\bar{C}.\bar{D}$$

Notemos que hemos utilizado dos veces el casillero de la segunda fila, segunda columna.

. Redundancias

Existen algunos casos particulares en el diseño de sistemas digitales en los que ciertas combinaciones de las variables (que corresponden a algunos mintérminos) no pueden llegar a presentarse jamás.

Estas combinaciones se denominan redundancias o estados prohibidos, y pueden utilizarse para simplificar la expresión de una función.

Si un mintérmino está prohibido, su valor es siempre 0 y puede sumarse a la función dada, sin alterar el valor de la misma ($A + 0 = A$), pudiendo ocurrir que la expresión resultante admita una simplificación mayor que la original.

Para efectuar la simplificación se procede así:

- a) Se representa la función dada, en un diagrama de Veitch y se marcan las redundancias con una X.
- b) Se simplifica la función de la manera descripta, considerando a las X como 1 si ello contribuye a aumentar la simplificación.

Por ejemplo, supongamos la función:

$$X = A.B + A.\bar{C}$$

con redundancias: $A.\bar{B}.C$ y $\bar{A}.B.\bar{C}$

Representamos la función y las redundancias:

		A	$\bar{A}$	
B		1	1	
$\bar{B}$		1	X	
	$\bar{C}$	C	$\bar{C}$	

Consideramos como 1, a la X de la segunda fila, segunda columna, resultando:

$$X = A$$

6.7. Mapas de Karnaugh.

Los mapas de Karnaugh son representaciones gráficas similares a los diagramas de Veitch.

Veamos el mapa de Karnaugh para cuatro variables A,B,C y D:

BA		00	01	11	10
DC					
00		$\bar{D}\bar{C}\bar{B}\bar{A}$	$\bar{D}\bar{C}\bar{B}A$	$\bar{D}\bar{C}B\bar{A}$	$\bar{D}\bar{C}BA$
01		$\bar{D}\bar{C}\bar{B}\bar{A}$	$\bar{D}\bar{C}\bar{B}A$	$\bar{D}\bar{C}B\bar{A}$	$\bar{D}\bar{C}BA$
11		$D\bar{C}\bar{B}\bar{A}$	$D\bar{C}\bar{B}A$	$DCB\bar{A}$	$DCBA$
10		$D\bar{C}\bar{B}\bar{A}$	$D\bar{C}\bar{B}A$	$DCB\bar{A}$	$DCBA$

En el mapa de Karnaugh las variables se indican en el borde superior izquierdo.

En cada fila y columna se consigna una posible combinación de estados de las variables. A cada combinación le corresponde el mintérmino que vale 1 para esa combinación.

Para mayor claridad hemos indicado en cada casillero, el mintérmino correspondiente.

Note que, al igual que en los diagramas de Veitch, cada mintérmino difiere del adyacente en un factor; luego, el método de representación y simplificación de funciones es similar al descripto para los diagramas de Veitch.

6.7 Otros métodos de simplificación.

Tanto el diagrama de Veitch como el mapa de Karnaugh son utilizados para minimizar sistemáticamente el diseño lógico.

Pero estos métodos no resultan muy útiles cuando el número de variables es mayor que seis, pues en estos casos, no resulta tan sencilla la localización de los casilleros adyacentes.

El método de Quine-Mc-Cluskey es una técnica de minimización para gran número de variables.

9.- CODIFICADORES - DECODIFICADORES - TRANSCODIFICADORES

CODIFICADORES

Los sistemas digitales que operan con control numérico trabajan siempre en alguno de los códigos definidos en el capítulo 3.

Durante la operación estos sistemas requerirán datos que pueden ser generados automáticamente en el proceso o introducidos de alguna manera por el operador.

En el primer caso será una cuestión de diseño, el problema consiste en que los datos automáticos se generen en el código elegido. En cambio cuando el dato es introducido por el operador; es inconveniente obligar a todos los operadores a aprender el código particular de cada una de las máquinas, ya que estos códigos por lo general son confusos para el ser humano. Por lo cual se opta por un sistema que le permita operar fácilmente al operador (en su sistema numérico decimal) y que luego convierta al código particular requerido por la máquina.

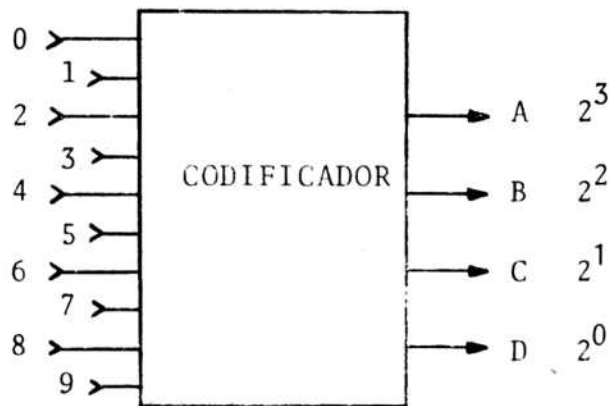
Cuando la conversión es del sistema numérico decimal al binario natural el módulo que produce la conversión se llama CODIFICADOR.

Como ejemplo pensemos en una minicalculadora de bolsillo. Este sistema digital deber tener circuitos similares a los ya vistos que realizan sumas binarias; los datos a sumar se introducen a través de una botonera de 10 teclas numeradas de 0 a 9 (con lo cual se define un carácter decimal). Por lo que se desprende que la primera operación que realice el sistema es una codificación al sistema binario natural.

El sistema de la tecla consiste en un "micro-switch" que al ser presionado pone un '1' en una línea que

habitualmente tiene un "0". Existiendo 10 teclas habrá 10 llaves y 10 líneas. Permanentemente todas las líneas menos 1 tendrán "0", sólo la línea de la tecla apretada tendrá un "1". Esta información debe ser convertida al sistema binario mediante un CODIFICADOR. La salida del codificador será un juego de 4 líneas que transportarán un '0' o un '1' según cual sea el número marcado.

El diagrama en bloques del CODIFICADOR será el siguiente:



La siguiente tabla describe el funcionamiento que esperamos del codificador:

<u>línea</u>	9	8	7	6	5	4	3	2	1	0	A	B	C	D
Nº														
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	0	0	1	0	0	0	0	1
2	0	0	0	0	0	0	0	1	0	0	0	0	1	0
3	0	0	0	0	0	0	1	0	0	0	0	0	1	1
4	0	0	0	0	0	1	0	0	0	0	0	1	0	0
5	0	0	0	0	1	0	0	0	0	0	0	1	0	1
6	0	0	0	1	0	0	0	0	0	0	0	1	1	0
7	0	0	1	0	0	0	0	0	0	0	0	1	1	1
8	0	1	0	0	0	0	0	0	0	0	1	0	0	0
9	1	0	0	0	0	0	0	0	0	0	1	0	0	1

El circuito en bloque junto con la tabla que hemos trazado indican que nuestro problema consiste en encon-

trar las expresiones de las variables de salida A, B, C y D; pero no para todas las combinaciones posibles de las 10 variables de entrada sino sólo para las pocas combinaciones indicadas. Debido a lo anterior es impracticable resolver el problema por el método del mapa de Karnaugh ya que estaría compuesto por 2^{10} cuadraditos de los cuales sólo nos interesan 10 y los demás serían prohibidos.

Por otro lado la simplicidad de la cuestión es tal que permite escribir las ecuaciones por observación de la tabla anterior.

La variable de salida A debe estar en "1" cuando se digita un 9 o un 8. O sea A es uno cuando existe un uno en la línea 8 o en la línea 9.

Luego; $A = 8 + 9$ describe bien nuestra proposición, sólo que de la función lógica surge que si 8 y 9 son simultáneamente '1' A también lo sería. Si bien esta propiedad no está descripta en la proposición no nos debe interesar pues es una situación que no se puede establecer nunca.

La variable de salida debe estar en "1" cuando está en '1' la línea 7 o la 6 o la 5 o la 4. Luego:

$$B = 4 + 5 + 6 + 7$$

La variable de salida C debe estar en "1" cuando están en "1" la línea 2 o la línea 3 o la línea 6 o la línea 7. Luego:

$$C = 2 + 3 + 6 + 7$$

La variable de salida debe estar en "1" cuando se digita alguna de las cifras impares o sea un uno lógico en las líneas 1, 3, 5, 7 o 9. Luego:

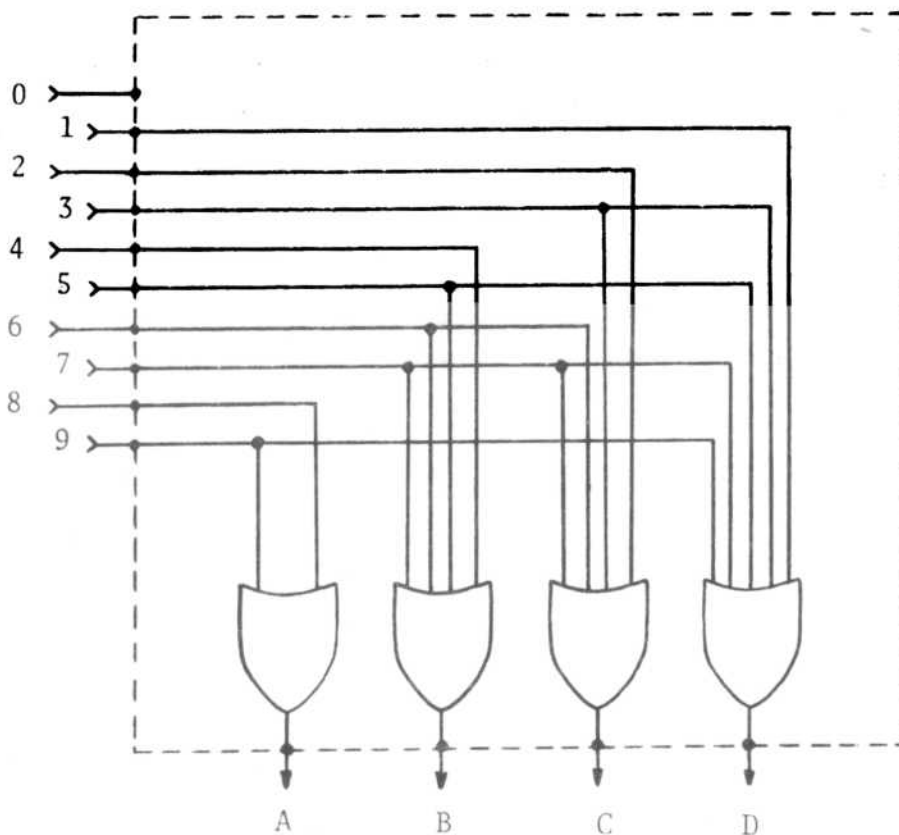
$$D = 1 + 3 + 5 + 7 + 9$$

Por cierto que tanto en las ecuaciones de B, C o D caben las mismas reflexiones que se hicieron respecto de A en cuanto a la posibilidad de la existencia de más de un "1" en las líneas de entrada.

Un circuito codificador debe responder al siguiente juego de funciones lógicas:

$$\begin{cases} A = 8 + 9 \\ B = 4 + 5 + 6 + 7 \\ C = 2 + 3 + 6 + 7 \\ D = 1 + 3 + 5 + 7 + 9 \end{cases}$$

El diagrama circuital puede ser el siguiente:



El sistema habitualmente lo constituye una matriz de diodos cuyo funcionamiento electrónico será analizado más adelante.

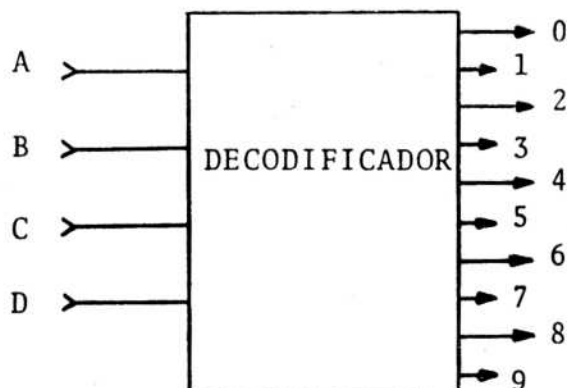
DECODIFICADORES

Una vez que el sistema digital obtiene un resultado, este puede ser utilizado en el propio equipo, tal como sucede en control automático o este resultado puede ser impreso o indicado en un display apropiado.

En el caso de ser impreso el resultado, la tele-tipo requerirá que se active alguno de los 10 electroimanes que están ubicados debajo de cada uno de las 10 teclas numéricas. En el caso de un indicador del tipo de descarga luminiscente NIXIE también requiere una señal distinta en cada una de las patitas diferentes de las demás 9 para que se haga visible uno de los 10 dígitos.

El problema en este caso resulta ser el inverso del codificador: la señal viene por 4 cables codificado en binario y el decodificador debe activar una de las 10 líneas de salida, la que corresponda al número que ingresa codificado.

El diagrama en bloques respectivo será:



El decodificador entonces es un circuito que transforma una señal digital en codificación binaria natural al sistema decimal.

La siguiente tabla representa el funcionamiento esperado de un decodificador.

A	B	C	D	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0	1	0	0
0	0	1	1	0	0	0	0	0	0	1	0	0	0
0	1	0	0	0	0	0	0	0	1	0	0	0	0
0	1	0	1	0	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1	0	0	0	0	0	0
0	1	1	1	0	0	1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0	0	0	0	0

El diagrama en bloque anterior y la tabla indican que el problema planteado se resuelve al encontrar las 10 ecuaciones de las diez salidas en función de las cuatro entradas. En la tabla se observa que cada una de las 10 funciones tiene un sólo uno; por lo cual las diez funciones son relaciones AND entre las cuatro variables y sus respectivas negaciones.

Las funciones que deben cumplir las salidas pueden fijarse por simple inspección y son las siguientes:

$$\text{"0"} = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D}$$

$$\text{"1"} = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot D$$

$$\text{"2"} = \bar{A} \cdot \bar{B} \cdot C \cdot \bar{D}$$

$$\text{"3"} = \bar{A} \cdot \bar{B} \cdot C \cdot D$$

$$\text{"4"} = \bar{A} \cdot B \cdot \bar{C} \cdot \bar{D}$$

$$\text{"5"} = \bar{A} \cdot B \cdot \bar{C} \cdot D$$

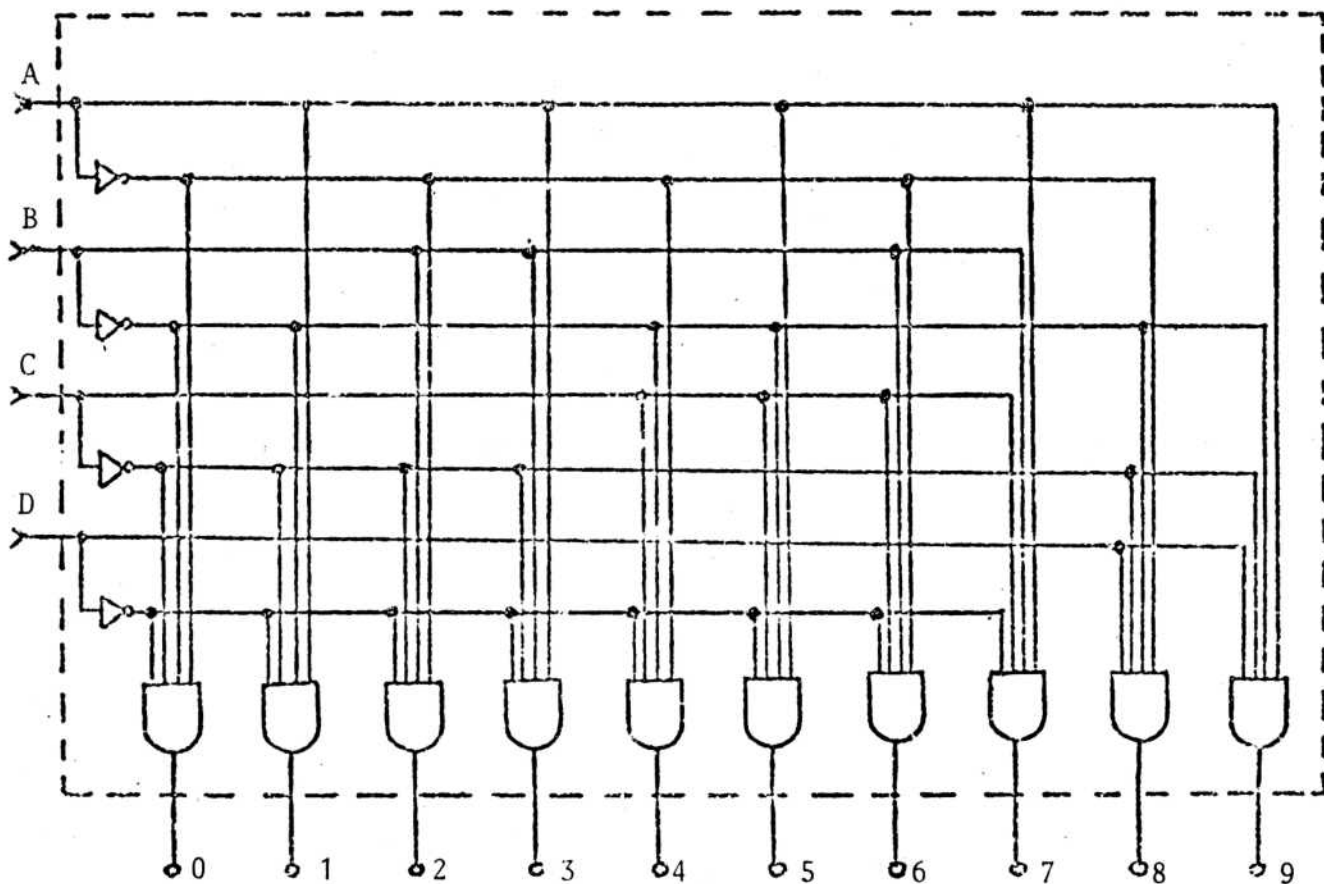
$$\text{"6"} = \bar{A} \cdot B \cdot C \cdot \bar{D}$$

$$\text{"7"} = \bar{A} \cdot B \cdot C \cdot D$$

$$\text{"8"} = A \cdot \bar{B} \cdot \bar{C} \cdot \bar{D}$$

$$\text{"9"} = A \cdot \bar{B} \cdot \bar{C} \cdot D$$

El circuito que cumple con el sistema de ecuaciones anteriores es el que vemos en la pagina siguiente.



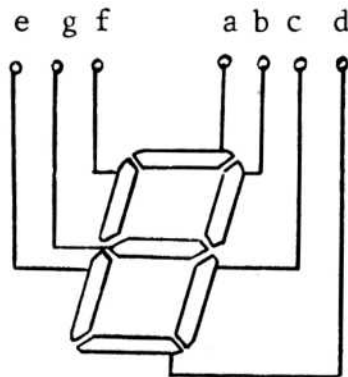
TRANSCODIFICADORES

Un transcodificador es un circuito que permite cambiar el código binario en el cual se encuentra codificada una señal, a otro código binario distinto.

Existen muchos tipos distintos de transcodificadores analizaremos solo algunos de ellos para exponer la metodología de diseño.

Uno de los transcodificadores más comunmente utilizado es aquél que excita a los indicadores numéricos de 7 segmentos. Estos consisten en 7 segmentos que pueden iluminarse a voluntad mediante una señal eléctrica están dispuestos de tal manera que con adecuadas combinaciones de los

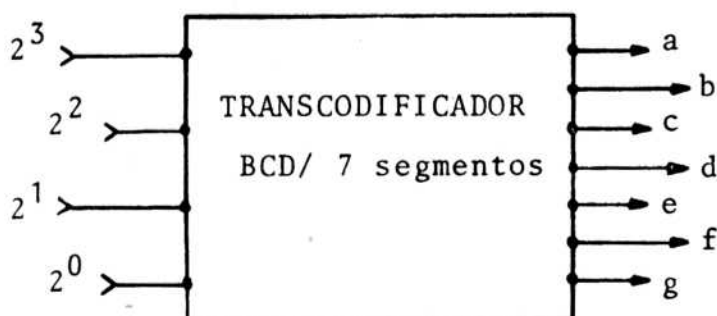
segmentos iluminados se pueden formar las figuras representativas de los números de 0 a 9. La disposición de los mismos es la siguiente:



Los cables a, b, c, d, e, f y g son las entradas a los segmentos, cuando a la entrada "a" le aplicamos tensión el segmento A se ilumina. De la misma manera todos los demás segmentos se pueden iluminar en forma independiente. Iluminando simultáneamente varios de ellos se pueden formar los números del 0 al 9.

La señal que queremos representar generalmente nos la proporciona el sistema en forma binaria y más comúnmente en código BCD. De cualquier manera nos llegará una señal a través de 4 cables que pasarán por un TRANSCODIFICADOR BCD/7 SEGMENTOS para luego excitar a las 7 entradas del indicador visual.

El diagrama en bloques del elemento que analizamos es el siguiente :



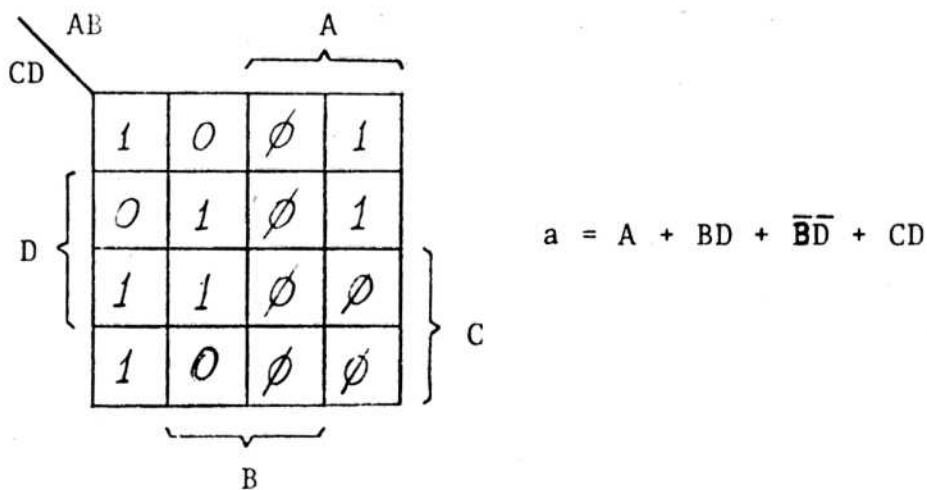
Este transcodificador debe cumplir con la siguiente tabla:

n°	A	B	C	D	a	b	c	d	e	f	g	figura
0	0	0	0	0	1	1	1	1	1	1	0	
1	0	0	0	1	0	1	1	0	0	0	0	
2	0	0	1	0	1	1	0	1	1	0	1	
3	0	0	1	1	1	1	1	1	0	0	1	
4	0	1	0	0	0	1	1	0	0	1	1	
5	0	1	0	1	1	0	1	1	0	1	1	
6	0	1	1	0	0	0	1	1	1	1	1	
7	0	1	1	1	1	1	1	0	0	0	0	
8	1	0	0	0	1	1	1	1	1	1	1	
9	1	0	0	1	1	1	1	0	0	1	1	

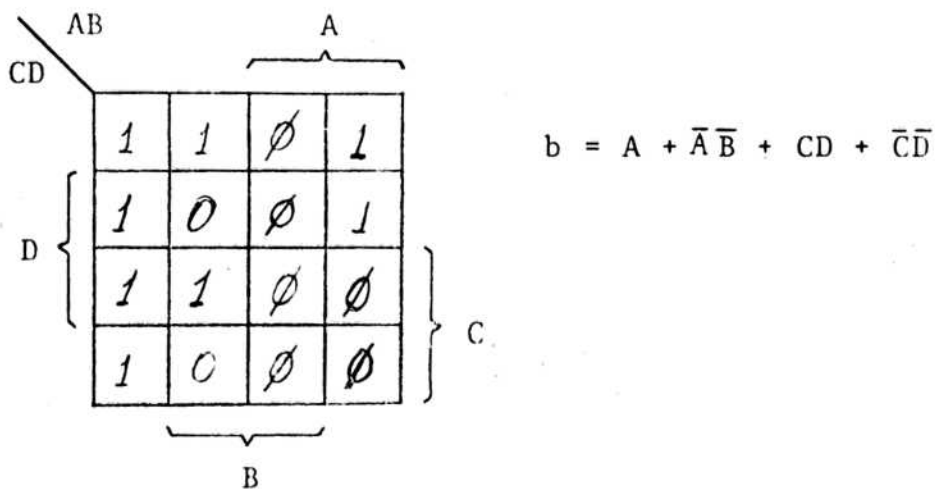
Las demás combinaciones de las variables ABCD no importan ya que el elemento 7 segmentos solo representa los dígitos de 0 a 9.

Para resolver el problema debemos analizar las ecuaciones de las líneas a, b, c, d, e, f y g. La dificultad para encontrar las relaciones entre las variables de salida y de entrada indican a resolver las funciones con ayuda del mapa de Karnaugh.

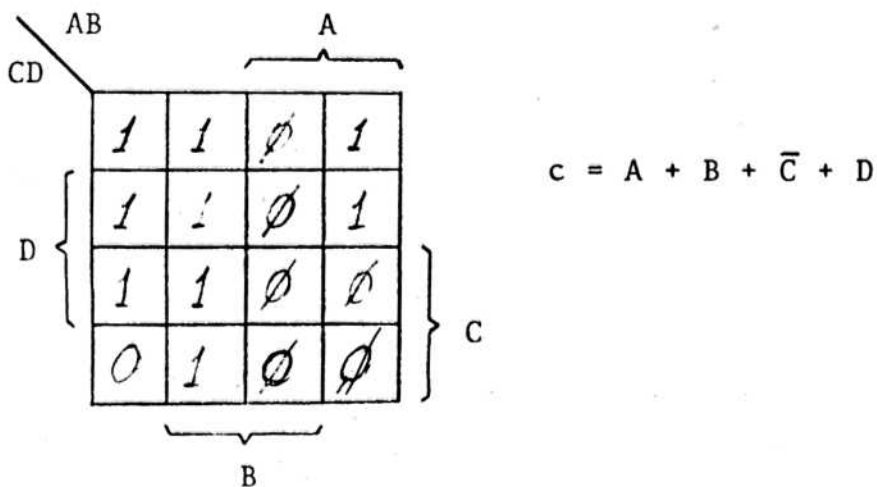
Mapa de Karnaugh para el segmento A



Mapa de Karnaugh para el segmento B



Mapa de Karnaugh para el segmento C



Mapa de Karnaugh para el segmento D

AB CD		A			
		1	0	$\emptyset$	1
D	{	0	1	$\emptyset$	0
		1	0	$\emptyset$	$\emptyset$
		1	1	$\emptyset$	$\emptyset$
		B			

$$d = \overline{B} C + C \overline{D} + \overline{B} \overline{D} + B \overline{C} D$$

Mapa de Karnaugh para el segmento E

AB CD		A			
		1	0	$\emptyset$	1
D	{	0	0	$\emptyset$	0
		0	0	$\emptyset$	$\emptyset$
		1	1	$\emptyset$	$\emptyset$
		B			

$$e = \overline{B} \overline{D} + C \overline{D}$$

Mapa de Karnaugh para el segmento F

AB CD		A			
		1	1	$\emptyset$	1
D	{	0	1	$\emptyset$	1
		0	0	$\emptyset$	$\emptyset$
		0	1	$\emptyset$	$\emptyset$
		0	1	$\emptyset$	$\emptyset$
		B			

$$f = A + \overline{D} \overline{C} + B \overline{D} + B \overline{C}$$

Mapa de Karnaugh para el segmento G

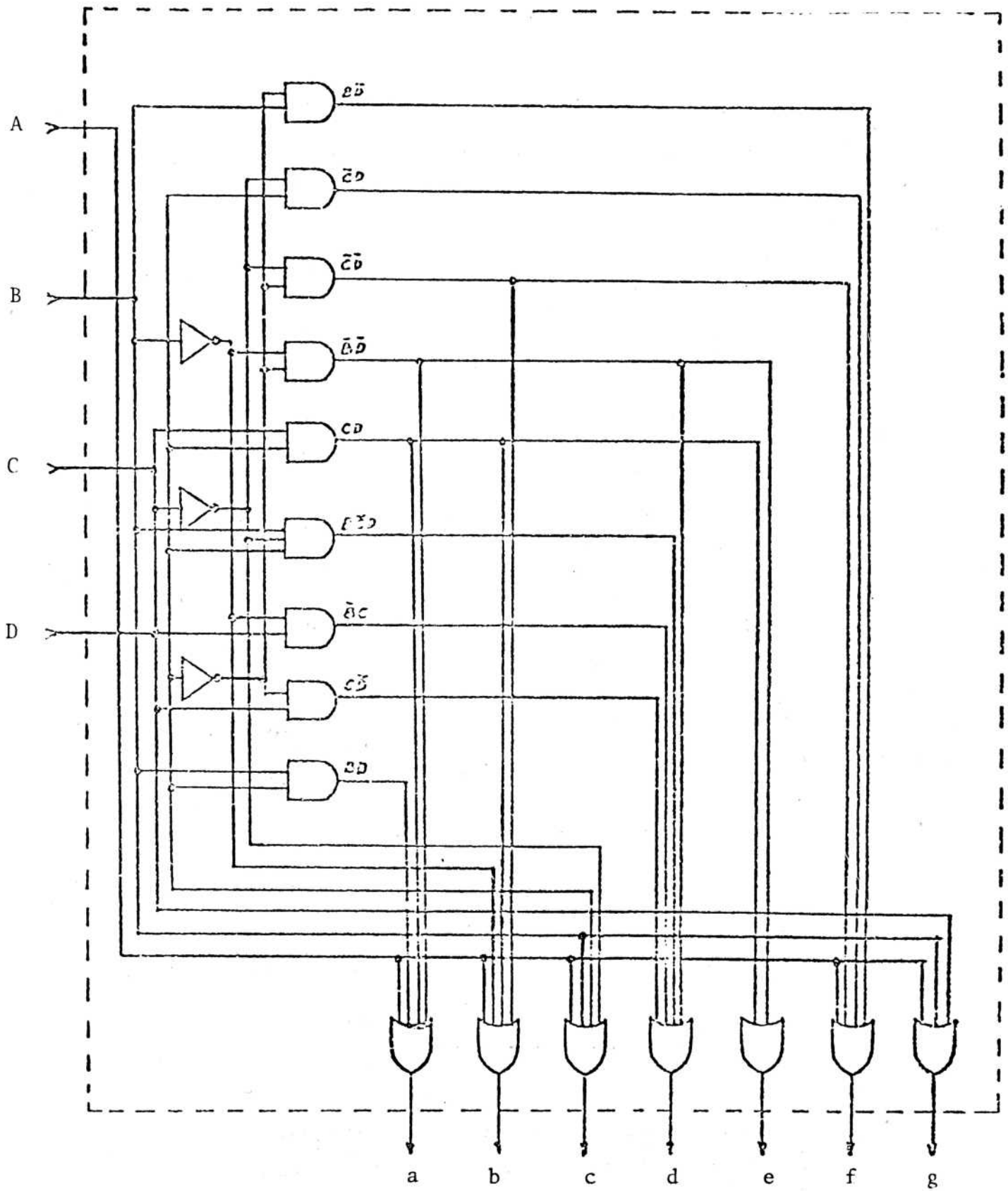
AB		A				
CD	D	0	1	$\emptyset$	1	C
		0	1	$\emptyset$	1	
		1	0	$\emptyset$	$\emptyset$	
		1	1	$\emptyset$	$\emptyset$	
		B				

$$g = A + B + C$$

A los fines de poder observar que algunos términos de las distintas ecuaciones son los mismos conviene listar las ecuaciones del transcodificador:

$$\begin{aligned}
 a &= A + B D + \overline{B} \overline{D} + C D \\
 b &= A + \quad \quad \quad + C D + \overline{A} \overline{E} + \overline{C} \overline{D} \\
 c &= A + \quad \quad \quad + B + \overline{C} + D \\
 d &= \quad \quad \quad \overline{B} \overline{D} + \quad \quad \quad + B \overline{C} D + \overline{B} C + C \overline{D} \\
 e &= \quad \quad \quad \overline{B} \overline{D} + C D \\
 f &= A + \quad \quad \quad \overline{C} \overline{D} + \quad \quad \quad \overline{C} D + B \overline{D} \\
 g &= A + \quad \quad \quad B + \quad \quad \quad C
 \end{aligned}$$

El siguiente circuito cumple con los requisitos de ser un transcodificador BCD/7 segmentos:

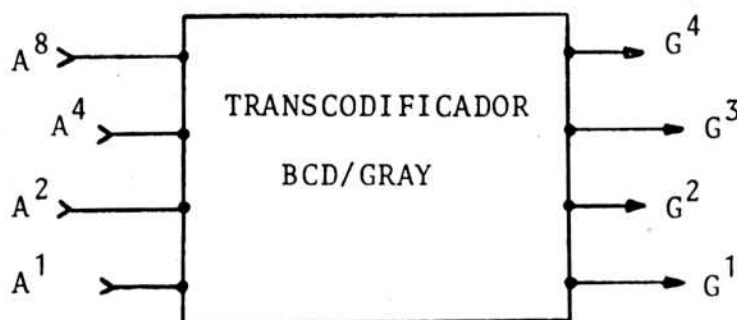


Otro transcodificador que estudiaremos es el que convierte una señal digital dada en el código GRAY.

Si llamamos a las líneas de salida (por donde fluye la señal en código GRAY) con (G_4 G_3 G_2 G_1) en el orden dado, el transcodificador BCD/GRAY debe cumplir con la siguiente tabla:

n°	A_8	A_4	A_2	A_1	G_4	G_3	G_2	G_1
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	0	1	0
4	0	1	0	0	0	1	1	0
5	0	1	0	1	0	1	1	1
6	0	1	1	0	0	1	0	1
7	0	1	1	1	0	1	0	0
8	1	0	0	0	1	1	0	0
9	1	0	0	1	1	1	0	1

Al transcodificador BCD/GRAY lo representamos en los diagramas en bloque con el siguiente simbolo:



Las cuatro funciones lógicas planteadas por la tabla anterior la resolveremos por mapas de Karnaugh para lograr en forma muy rápida la expresión mínima de las mismas.

Recordando que el Mapa de Karnaugh para cuatro variables requiere 16 casilleros de los cuales usaremos solo 10 los demás se mantendrán en estado indiferente. Esta misma razón invalida a las tablas anteriores como tablas de verdad.

Mapa de Karnaugh para G_1

AB		A			
CD		0	0	∅	0
	D	1	1	∅	1
		0	0	∅	∅
		1	1	∅	∅
		B			

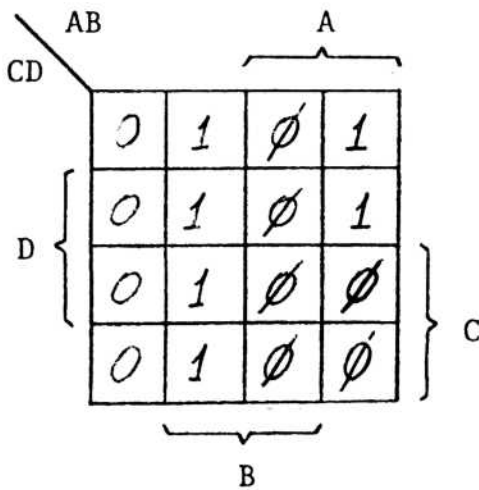
$$G_1 = \bar{C} D + C \bar{D} = C \oplus D$$

Mapa de Karnaugh para G_2

AB		A			
CD		0	1	$\emptyset$	0
	D	0	1	$\emptyset$	0
		1	0	$\emptyset$	$\emptyset$
		1	0	$\emptyset$	$\emptyset$
		B			

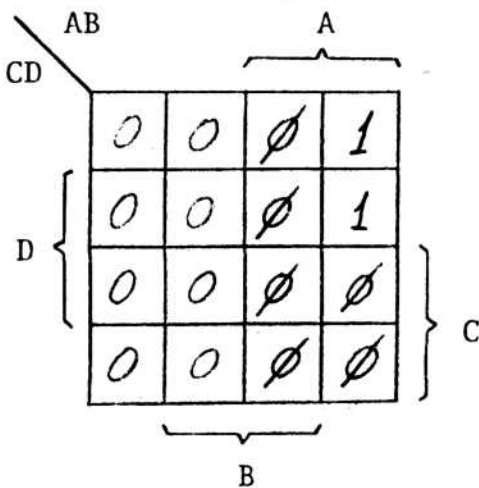
$$G_2 = \bar{B} C + B \bar{C} = B \oplus C$$

Mapa de Karnaugh para G_2



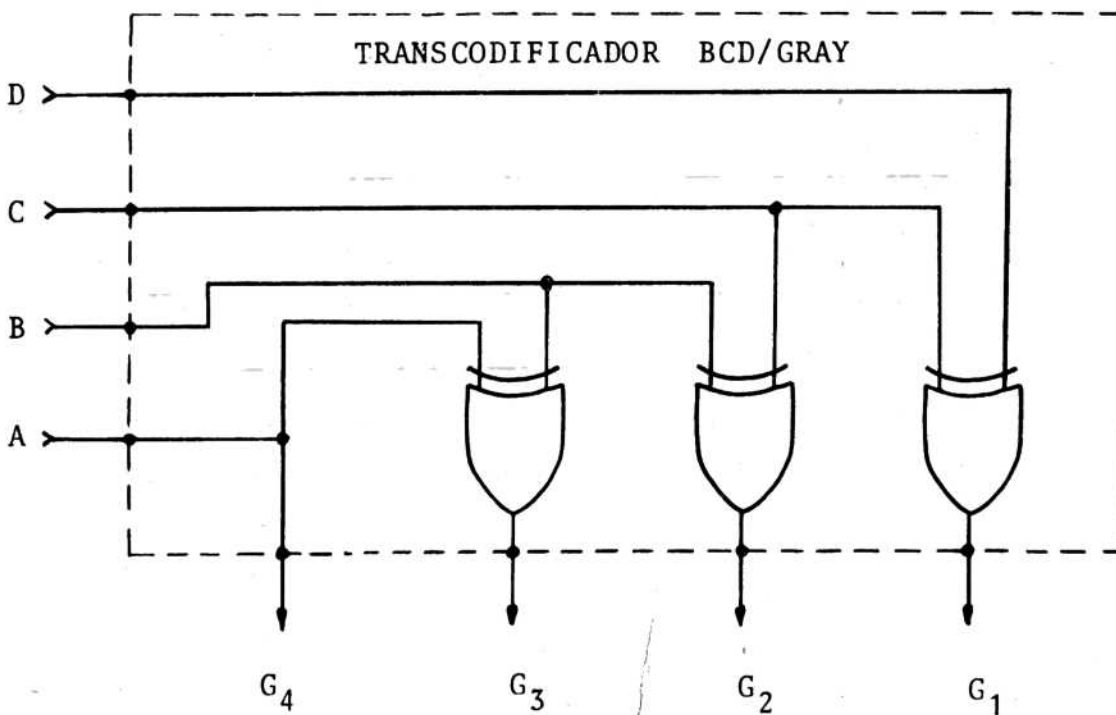
$$G_3 = \bar{A} B + A \bar{B} = A \oplus B$$

Mapa de Karnaugh para G_4



$$G_4 = A$$

Un circuito que cumple con las condiciones que impone un transcodificador BCD/GRAY es el siguiente:



10.- CIRCUITOS SECUENCIALES.

Los circuitos que hasta ahora se estudiaron se denominaban combinatorios o combinacionales pues combinaban varias entradas para dar una salida que es totalmente dependiente de las entradas.

Un circuito secuencial es aquel cuyo estado de salida es función no solo del estado de entrada presente en un momento determinado, como ocurre en los circuitos combinacionales, sino también de estados anteriores.

El que un estado actual de salida quede influenciado por estados de entrada pasados implica que el circuito secuencial "recuerde", es decir, almacene de alguna manera dichos estados. Debido a esto, se dice que los circuitos secuenciales poseen "memoria".

Para que la salida del circuito pueda influir sobre su propia entrada debe existir un lazo de realimentación.

Tomando una de las compuertas básicas, por ejemplo una compuerta OR, planteamos un circuito secuencial elemental:

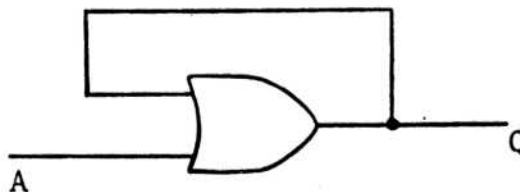


Figura 1- Compuerta lógica OR realimentada.

Al excitar con un "1" la entrada A del circuito de la Figura 1, tenemos un "1" en la salida Q, el cual se reaplica a la entrada mediante el lazo de realimentación. Esto asegura que siempre tendremos un "1" a la entrada y

consecuentemente un "1" a la salida aunque la entrada A vuelva al estado lógico "0" después de haber estado en "1".

Este circuito permite almacenar información pero no permite borrarla, es decir, una vez fijado el "1" a la salida el mismo permanecerá indefinidamente.

Será necesario agregar algún circuito que permita el borrado. Las compuertas lógicas que configuren este circuito deben ser tales que "anulen" la realimentación en un momento (el de borrado) y permitan que el circuito sea gobernado por la entrada A. Es decir, en el momento de borrado el circuito secuencial deja de ser secuencial y es combinatorio, la salida adopta el estado lógico "1" mientras A sea "1" y "olvida" este estado cuando A vuelve a "0".

Un circuito que permita existir al lazo de realimentación bajo ciertas circunstancias y lo "quite" en otras podría ser una compuerta AND situada en el lazo, pero deberemos adoptar una determinada convención para la entrada de gobierno de borrado.

Con referencia al circuito de la Figura 2, si en la entrada B se tiene un "1" la salida Q puede influenciar sobre la entrada, si en la entrada B hay un "0", la salida Q se desconecta de la entrada.

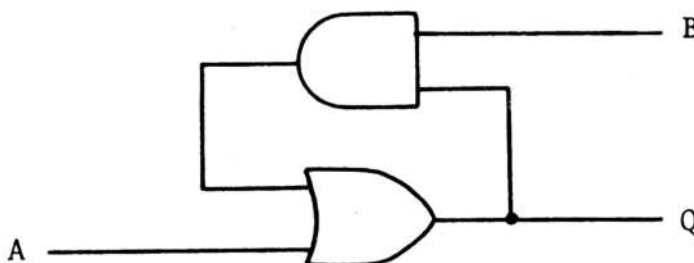


Figura 2.- Compuerta lógica OR realimentada con control de borrado.

Hemos incorporado a nuestra memoria elemental las posibilidades de grabado (cuando en B hay un "1") y de borrado (cuando en B hay un "0") pero hemos dicho que los fabricantes sólo producen compuertas lógicas NOR o NAND, implementemos pues las dos compuertas de la Figura 2. a través de compuertas NOR.

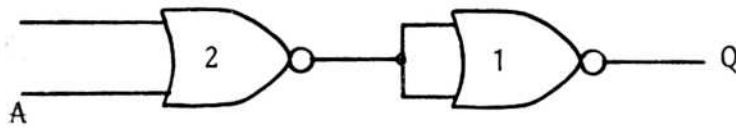


Figura 3.- Compuerta OR implementación NOR

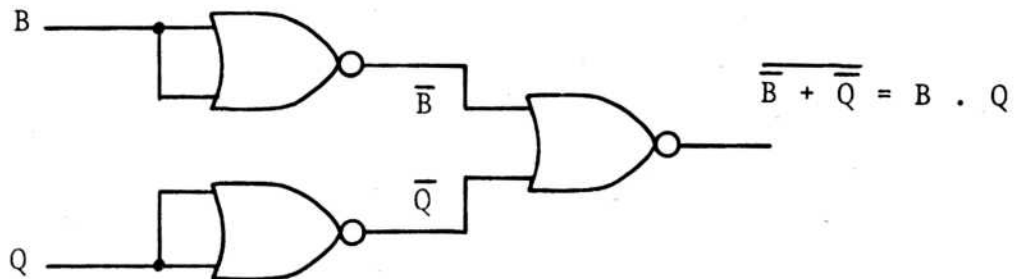


Figura 4. Compuerta AND implementación NOR.

Reemplacemos las compuertas por sus respectivas implementaciones NOR.

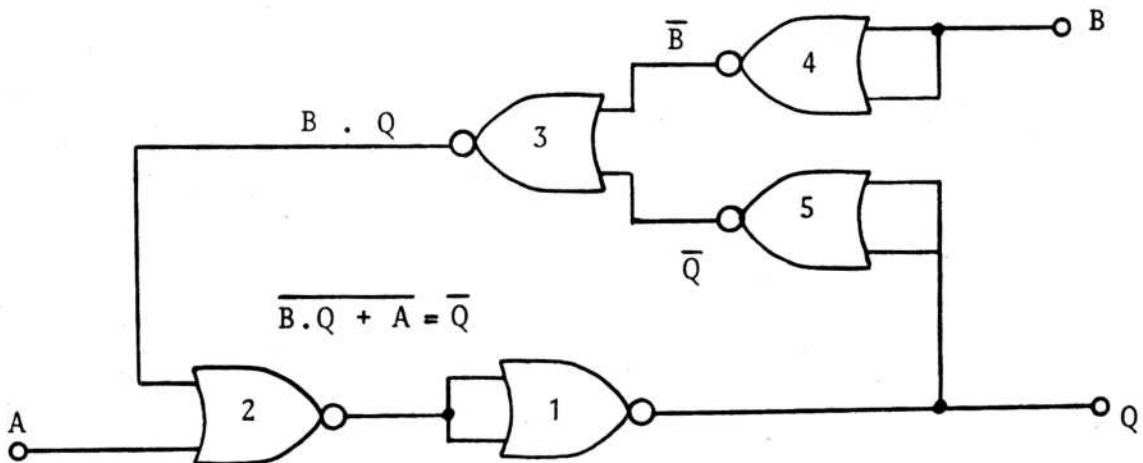


Figura 5. Memoria elemental implementación NOR.

Por observación tenemos que antes de ingresar a la NOR (1) se tiene $\bar{Q}$, si en vez de almacenar Q nos confor-

mamos con almacenar su negación podemos eliminar las compuertas NOR (1) y NOR (5) pues son redundantes luego el circuito será el de la Figura 6.

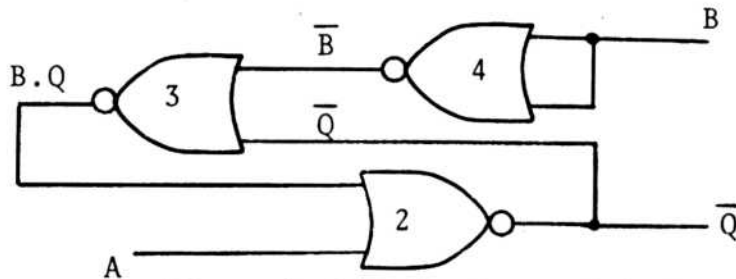


Figura 6. Memoria elemental implementación NOR reducida por eliminación de redundancias.

En el circuito de la Figura 6. puede observarse que la compuerta NOR (4) existe por la convención de grabación y borrado adoptada. Si cambiamos la convención podemos eliminar a dicha compuerta, adoptemos entonces un "0" para poder grabar y un "1" para poder borrar y obrando en consecuencia eliminemos lo redundante.

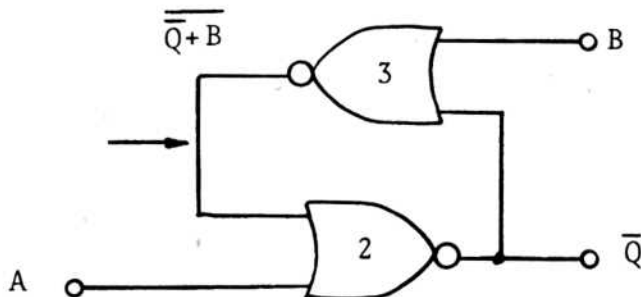


Figura 7. Memoria elemental implementación NOR reducida por eliminación total de redundancias.

En el momento de la grabación de información, en la entrada B se tendrá un "0", en estas circunstancias a la salida de la compuerta lógica NOR (3) se tendrá:

$$\overline{Q} + "0" = H$$

Por aplicación del Teorema 1a se tiene:

$$\overline{Q} = H$$

Mediante el teorema 4b se concluye que:

$$Q = H$$

Esto nos indica que si bien a la salida de la compuerta NOR (2) nos habíamos conformado con obtener $\bar{Q}$ podemos tener también a Q si implementamos una salida adecuada a la salida de la compuerta NOR -(3).

El circuito definitivo quedará como se indica en la Figura 8, dicho circuito recibe el nombre de Flip-Flop implementación NOR.

Si se analiza acorde a las técnicas descriptas para los circuitos combinatorios al circuito de la Figura 8, se podrá obtener la función lógica que el mismo cumple.

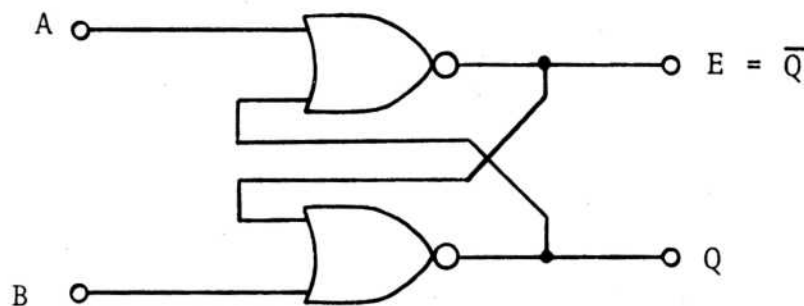


Figura 8.- FLIP FLOP implementación NOR

(1) $Q = \overline{B+E}$ siendo $E = \bar{Q}$ como puede verse en la figura 8.

(2) $E = \overline{A+Q}$

Las funciones (1) y (2) pueden escribirse en función de las entradas y de cada salida en función de sí misma, a tal efecto reemplacemos (2) en (1) y viceversa:

(3) $Q = \overline{B + (\overline{A+Q})} = \bar{B} \cdot (A+Q)$ aplicando las leyes de Morgan.

(4) $E = \overline{A + (\overline{B+E})} = \bar{A} \cdot (B+E)$ aplicando las leyes de Morgan.

Teniendo en cuenta que $E = \bar{Q}$ se puede escribir resumidamente:

$$(5) \quad Q = \bar{B} \cdot (A + Q)$$

$$(6) \quad \bar{Q} = \bar{A} \cdot (B + \bar{Q})$$

Debemos hacer notar que las salidas que se encuentran a la izquierda del signo igual no son las salidas que se encuentran a la derecha, debido a que la primera es la salida que se produce ANTES que ocurren las excitaciones y las segundas son las salidas que existían DESPUES DE tener lugar las excitaciones, esto lo ponemos de manifiesto en los subíndices que agregamos a cada una de las Q, n para la salida ANTERIOR a las excitaciones, n+1 para las salidas que tienen lugar después de las excitaciones. Rescribamos las ecuaciones (5) y (6).

$$(7) \quad Q_{n+1} = \bar{B} \cdot (A + Q_n)$$

$$(8) \quad \bar{Q}_{n+1} = \bar{A} \cdot (B + \bar{Q}_n)$$

Procedemos al análisis sistemático de la ecuación (7) y (8):

Análisis ecuación (7)

Si $A = 0$ y $B = 0$
y en el siguiente instante
 $A = 0$ y $B = 0$

$$Q_{n+1} = \bar{0} \cdot (0 + Q_n)$$

$$Q_{n+1} = 1 \cdot Q_n$$

$$Q_{n+1} = Q_n$$

Análisis ecuación (8)

Si $A = 0$ y $B = 0$
y en el siguiente instante
 $A = 0$ y $B = 0$

$$\bar{Q}_{n+1} = \bar{0} \cdot (0 + \bar{Q}_n)$$

$$\bar{Q}_{n+1} = 1 \cdot \bar{Q}_n$$

$$\bar{Q}_{n+1} = \bar{Q}_n$$

En síntesis cuando A y B permanecen en el estado lógico "0", las salidas del Flip-Flop conservan el estado lógico anterior.

Si $A = 0$ y $B = 0$

y en el siguiente instante

$A = 0$ y $B = 1$

$$C_{n+1} = \overline{1} \cdot (0 + Q_n)$$

$$C_{n+1} = 0 \cdot Q_n$$

$$Q_{n+1} = 0$$

Si $A = 0$ y $B = 0$

y en el siguiente instante

$A = 0$ y $B = 1$

$$\overline{Q}_{n+1} = \overline{0} \cdot (1 + \overline{Q}_n)$$

$$\overline{Q}_{n+1} = 1 \cdot (\overline{Q}_n + 1)$$

$$\overline{Q}_{n+1} = 1 \cdot 1$$

$$\overline{Q}_{n+1} = 1$$

En síntesis, cuando $A = 0$ y $B = 1$, la salida Q adopta el estado lógico 0, y la salida $\overline{Q}$ adopta el estado lógico 1 independientemente del estado lógico anterior que tuvieran estas salidas.

Si $A = 0$ y $B = 1$

y en el siguiente instante

$A = 0$ y $B = 0$

$$Q_{n+1} = \overline{0} \cdot (0 + Q_n)$$

$$Q_{n+1} = 1 \cdot Q_n$$

$$Q_{n+1} = Q_n$$

Si $A = 0$ y $B = 1$

y en el siguiente instante

$A = 0$ y $B = 0$

$$\overline{Q}_{n+1} = \overline{0} \cdot (0 + \overline{Q}_n)$$

$$\overline{Q}_{n+1} = 1 \cdot \overline{Q}_n$$

$$\overline{Q}_{n+1} = \overline{Q}_n$$

Esto corrobora la conclusión que hemos extraído en el primer análisis, cuando las entradas A y B vuelven a cero, es decir, adoptan el estado lógico 0, las salidas con-

servan el estado lógico anterior

Si $A = 0$ y $B = 0$	Si $A = 0$ y $B = 0$
y en el siguiente instante	y en el siguiente instante
$A = 1$ y $B = 0$	$A = 1$ y $B = 0$
$Q_{n+1} = \overline{0} \cdot (1 + Q_n)$	$\overline{Q}_{n+1} = \overline{1} \cdot (0 + \overline{Q}_n)$
$Q_{n+1} = 1 \cdot 1$	$\overline{Q}_{n+1} = 0 \cdot \overline{Q}_n$
$Q_{n+1} = 1$	$\overline{Q}_{n+1} = 0$

En síntesis, cuando la entrada A es 1 y B es 0 la salida Q adopta el estado lógico 1 independientemente del estado lógico anterior que tuvieran las salidas, obviamente la salida $\overline{Q}$ adquiere el estado lógico 0.

El análisis debería continuar considerando que ambas entradas, A y B adquieren simultáneamente el estado lógico 1 pero debido al hecho que, acorde a las ecuaciones ambas salidas adquirirían simultáneamente el estado lógico 0, que contradice lo establecido que una salida es la negación de la otra, se establece que este tipo de excitación está prohibido.

Por otra parte si se hicieran consideraciones acerca del circuito interno de las compuertas que intervienen en el circuito se vería que ese estado, el de ambas salidas en 0, es transitorio y que una de las dos salidas derivaría al estado lógico 1 y la otra permanecería en 0, como la salida que adquiere el estado lógico 1 es cualquiera de las dos, se dice que los estados de las salidas si se produjera la excitación descripta y prohibida es INDEFINIDO.

Se puede sintetizar todo lo expuesto en una tabla que recibe el nombre de TABLA CARACTERISTICA y se muestra en la Figura 9.

A	B	Q_{n+1}	$\overline{Q}_{n+1}$
0	0	Q_n	$\overline{Q}_n$
0	1	0	1
1	0	1	0
1	1	Indefinido	

Figura 9- TABLA CARACTERISTICA DE UN CIRCUITO SECUENCIAL.

La entrada A recibe el nombre de entrada SET (montar) pues "monta" al Flip-Flop, es decir, le fija un 1 en la salida Q, y la entrada B recibe el nombre de entrada RESET (desmontar) pues "desmontar" al Flip-Flop, es decir, le fija un 0 en la salida Q, borra la memoria.

Escribamos la tabla característica del Flip-Flop que debido al nombre que adoptan sus entradas se lo denomina Flip-Flop r-s.

S	R	Q_{n+1}	$\overline{Q}_{n+1}$
0	0	Q_n	$\overline{Q}_n$
0	1	0	1
1	0	1	0
1	1	Indefinido	

Figura 10- TABLA CARACTERISTICA DE UN FLIP-FLOP r-s implementación NOR.

Hemos definido un circuito secuencial que por el uso que de él se hace recibe un nombre particular y, como ya veremos, crea una familia de circuitos, pero los FLIP-FLOPS no son los únicos circuitos secuenciales que existen pero sí los más importantes.

Analicemos el circuito de la Figura 11, que es un circuito secuencial, a fin de conocer su funcionamiento.

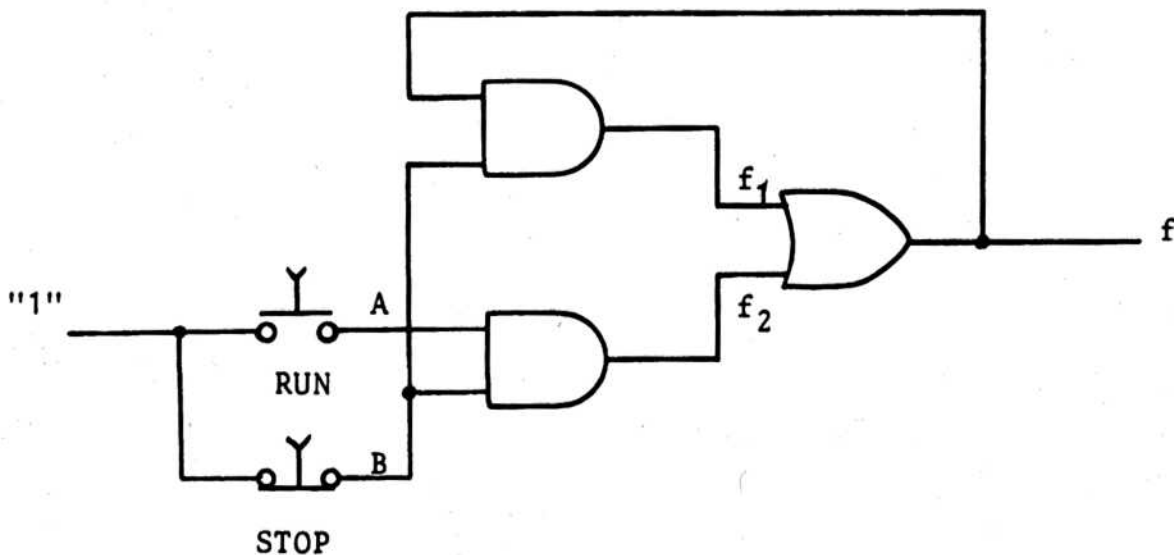


Figura 11.- Circuito secuencial combinando compuertas lógicas y pulsadores manuales.

a.- Deducción de la ecuación lógica

$$(1) \quad f = f_1 + f_2$$

$$(2) \quad f_1 = f \cdot B$$

$$(3) \quad f_2 = A \cdot B$$

$$(4) \quad f = f \cdot B + A \cdot B$$

b.- El miembro de la izquierda de la igualdad es distinto a la variable f que se encuentra a la dere-

cha de la misma pues una es la que tiene lugar ANTES que sucedan las excitaciones independientes A y B, y la otra es la salida que tiene lugar, DESPUES que tienen lugar dichas excitaciones, para poner de manifiesto estas circunstancias agregamos a la ecuación (4) subíndices, n para la salida ANTES y n+1 para la salida que tiene lugar DESPUES de las excitaciones.

$$(5) \quad f_{n+1} = f_n \cdot B + A \cdot B$$

c.- En la ecuación (5) se puede extraer B como "factor común"

$$(6) \quad f_{n+1} = (f_n + A) B$$

d.- Análisis de la ecuación (6).

Si $B = 0$ $f_{n+1} = 0$ aunque A cambie a 1, es decir

que para que exista algún control de la salida, B debe ser 1, que es la posición habitual de la entrada B pues como puede verse en la Figura 11, es un contacto o pulsador normalmente cerrado.

Luego para que el circuito tenga algún sentido debe ser $B = 1$, siendo de esta manera hagamos una secuencia de operación del contacto o pulsador normalmente abierto A.

Si $B = 1$ y $A = 0$ será:

$$(7) \quad f_{n+1} = (f_n + 0) \cdot 1$$

$$(8) \quad f_{n+1} = f_n$$

La ecuación (8) nos dice que mientras el pulsador A permanezca abierto y el B cerrado, la salida conserva o memoriza la salida anterior.

Si pulsamos A el mismo adquiere el estado lógico 1, en estas circunstancias: $A = 1$ y $B = 1$

$$(9) \quad f_{n+2} = (f_{n+1} + 1) \cdot 1$$

$$(10) \quad f_{n+2} = 1$$

La ecuación (10) nos indica que mientras permanezca pulsado A el circuito tendrá salida 1 independientemente del estado lógico anterior de la salida.

Dejemos de pulsar A, el mismo regresa al estado lógico 0, en estas circunstancias: $A = 0$ y $B = 1$, es la situación de la ecuación (8):

$$(11) \quad f_{n+3} = f_{n+2}$$

$$(12) \quad f_{n+3} = 1$$

La salida conserva el estado lógico 1 después de haber pulsado A, aunque el mismo se deje de oprimir.

A fin de sacar al circuito de su estado lógico 1 se debe oprimir B, al hacerlo la salida adquiere el estado lógico 0 y cuando se deje de oprimir B, el circuito recordará este último estado.

El circuito descripto se utiliza como Arranque-Parada de motores, mediante la siguiente convención:

$f = "1"$ el motor excitado por el circuito lógico está en MARCHA.

f = "0" el motor excitado por el circuito lógico está DETENIDO.

A pulsador de puesta en marcha (RUN)

B pulseador de detención (STOP)

Puesto en marcha el motor se deja de pulsar el RUN y el circuito se autoenclava por su memoria, por su realimentación. Para detenerlo basta con oprimir el STOP y soltarlo, el circuito pasa al estado lógico "0" y recuerda este estado hasta que se oprima nuevamente el RUN.

11.- FLIP - FLOPS

Introducción.

El circuito de la Figura 8 es un circuito secuencial que depende de sus entradas y de sus salidas pero si el excita a otro circuito similar, la salida que se va a obtener no se sabe que tiempo tardará en ser obtenida. En otras palabras, la secuencia de las entradas con juntamente con las salidas fijarán nuevas salidas pero es tas se obtendrán en tiempos imprevisibles sólo sujetos a los tiempos de retraso que cada compuerta otorga a la señal que la recorre. Esta situación define circuitos secuenciales ASINCRONICOS.

En la generalidad de los circuitos digitales de control y en los circuitos de las computadoras digitales es conveniente un determinado compás, sincronismo o atiem-pamiento que permita predecir y normalizar los tiempos en que suceden los cambios de las salidas, esto nos lleva a definir los circuitos secuenciales SINCRONICOS.

Un circuito secuencial es sincrónico cuando las transiciones en los elementos de memoria se producen al unísono en todo el sistema, en sincronismo con un pulso de reloj.

FLIP-FLOP R-S

Para convertir al circuito de la Figura 8 en sincrónico es necesario agregar una entrada complementaria que otorgue al tiempo el poder de decisión, es decir, es la entrada que marca el instante en el cual tiene lugar un determinado cambio, cambio que ha sido preparado o programado a través de las entradas R y S, estas entradas recibirán el nombre de ENTRADAS PREPARATORIAS, pero ellas no deciden el momento en el cuál ocurre el cambio, el circuito de la Figura 8 quedará modificado como muestra

la figura 1.

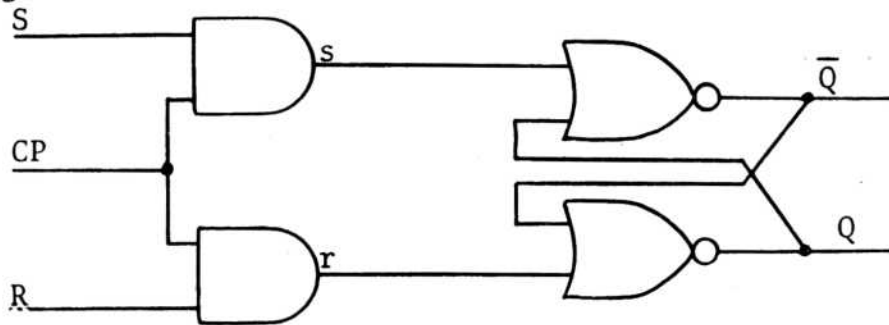


Fig. 1 - Circuito secuencial sincrónico llamado Flip-Flop R-S.

En la figura 1 las compuertas AND deberían estar implementadas a través de compuertas lógicas NOR mas por economía de representación no se lo ha hecho.

Si $CP = 1$ las salidas quedan gobernadas por el estado lógico anterior y el estado lógico de las entradas programables.

Esto nos permite plantear la TABLA CARACTERISTICA respectiva (Fig. 2) donde Q_n es la salida ANTES de que tenga lugar el pulso de sincronismo y Q_{n+1} es la salida DESPUES que tuvo lugar el pulso de sincronismo.

n°	R	S	Q_{n+1}
0	0	0	Q_n
1	0	1	1
2	1	0	0
3	1	1	?

Figura 2 - Tabla característica del Flip-Flop R-S.

El circuito de la figura 1. se suele representar como un bloque o caja negra, el símbolo lógico de la misma puede verse en la figura 3.

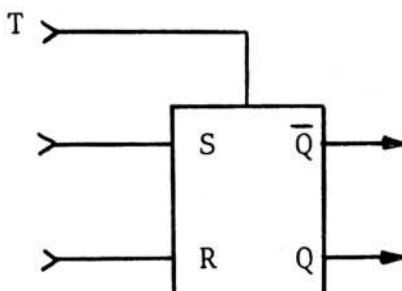


Fig. 3.- Diagrama lógico del Flip-Flop R-S implementación NOR.

En los Flip-Flop "atiempados" se pueden programar las salidas que se quieren obtener planificando las entradas preparatorias R-S. Esto hace que a los Flip-Flop "atiempados" se los llame programables.

Para poder programar salidas apetecidas se requiere una tabla auxiliar llamada TABLA DE EXCITACION.

La Tabla de Excitación indica como deben ser las entradas preparatorias para que una salida determinada adopte un estado determinado, esta tabla se deduce de la Tabla Característica.

El mecanismo de deducción de la Tabla de excitación es el siguiente:

a.- Si se desea conservar un "0" en la salida Q, las entradas S y R deben adoptar los estados lógicos siguientes: $S = 0$ y $R = 0$ (renglón 0 de la tabla característica) pues se trata de una conservación del estado lógico anterior.

Pero también podríamos colocar $S = 0$ y $R = 1$ (renglón 3 de la Tabla característica) pues con estas entradas nos aseguramos un "0" a la salida.

En síntesis, para conservar el estado lógico "0" en la salida Q, S debe ser 0 pero R puede ser "0" o "1", esta situación ambigua del estado lógico de R se denomina estado indiferente y se lo representa con el signo $\emptyset$ (renglón 0 de la TABLA DE EXCITACION de la Figura 4).

b.- Si se desea obtener un "1" en la salida Q te niendo un "0" debemos colocar $R = 0$ y $S = 1$ (renglón 1 de la Tabla característica) esto es lo que representa el renglón 1 de la Tabla de Excitación de la Figura 4.

c.- Si se desea obtener un "0" en la salida Q teniendo un "1" debemos colocar $R = 1$ y $S = 0$ (renglón 2 de la Tabla característica) esto es lo que representa el renglón 1 de la Tabla de excitación de la figura 4-6.

d.- Si se desea conservar un 1 en la salida Q, los estados que deben adoptar las entradas S y R son los siguientes: $S = 0$ y $R = 0$ (renglón 0 de la tabla características) pues se trata de conservar un estado lógico anterior.

Pero también se podría colocar $S = 1$ y $R = 0$ (renglón 1 de la Tabla Característica) pues con estas entradas nos aseguramos un "1" a la salida.

En síntesis, para conservar el estado lógico "1" en la salida Q, la entrada R debe ser 0 pero la entrada S puede ser "0" o "1", esta situación ambigua en el estado lógico de S se denomina estado lógico indiferente y se lo representa por el signo $\emptyset$ (renglón 3 de la Tabla de Excitación de la Figura 4.

n°	Q_n	Q_{n+1}	S	R
0	0	0	0	$\emptyset$
1	0	1	1	0
2	1	0	0	1
3	1	1	$\emptyset$	0

Figura 4 .- Tabla de Excitación del Flip-Flop R-S implementación NOR.

La tabla característica del Flip-Flop R-S puede graficarse a través de un diagrama temporal o de "atiempamiento" que pone de manifiesto los diversos casos que pue-

den producirse entre los pulsos de excitación y los pulsos de reloj (Figura 5).

Obsérvese que los pulsos de reloj que gobiernan el sistema deben tener menor duración que las excitaciones que se producen en las entradas programables.

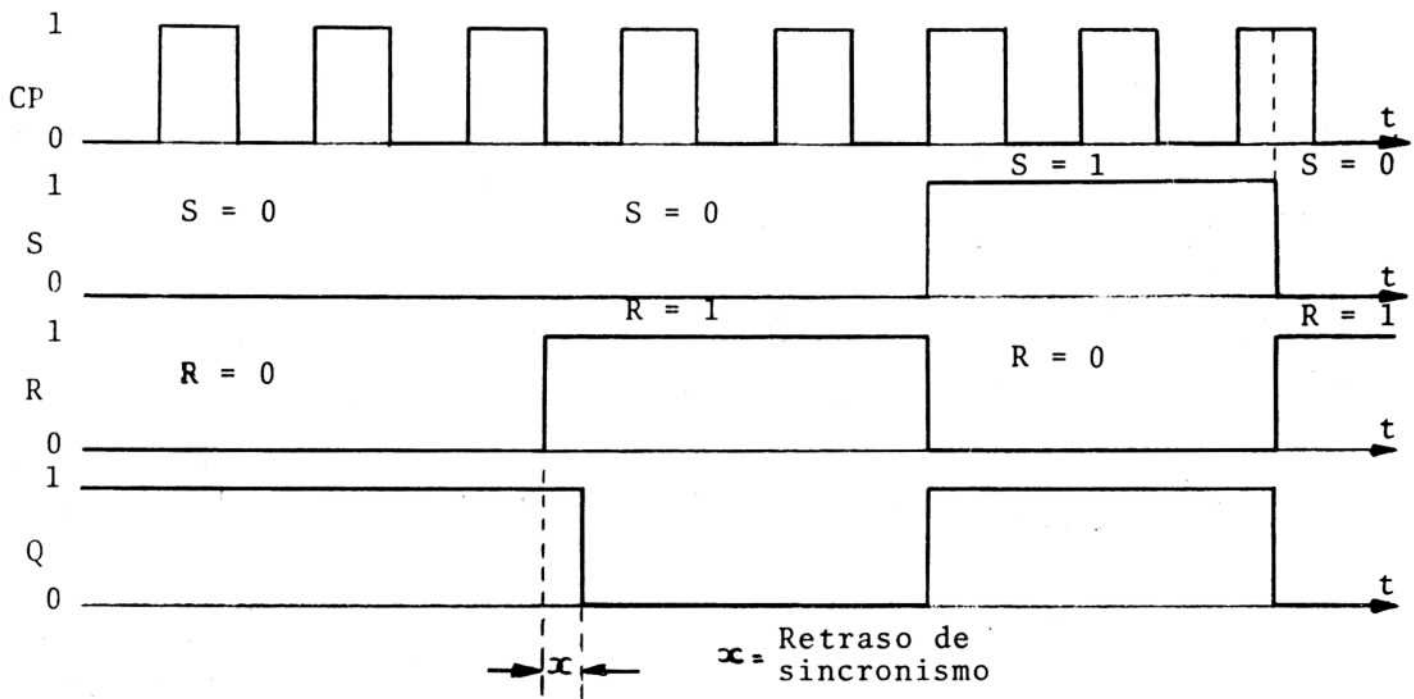


Figura 5.- Diagrama de atiemppamiento del Flip-Flop R-S.

FLIP-FLOP tipo T(trigger-toggle)

Hemos definido el Flip-Flop tipo S-R y si bien este es un elemento útil, la limitación de que sus entradas no pueden ser simultáneamente "1" y a fin de aprovechar la estructura interna del mismo en otras aplicaciones han hecho que se definan otros tipos de Flip-Flop.

Si se agrega al diagrama lógico interno de un Flip-Flop R-S un lazo de realimentación tal como puede verse en el Figura 6 , la salida Q se autocontrola a tra-

vés de la entrada R de la compuerta AND y la salida $\bar{Q}$ se realimenta a través de S.

Este circuito acorde a lo que se deduce de las ecuaciones, cambia de estado si y sólo si en su entrada independiente T existe un "1"; y si no, permanece en su estado lógico original.

Como circuito asincrónico encuentra utilidad como disparador Schmitt, es decir, produciendo un pulso único y conformado para cada pulso que se encuentra en la entrada independiente, esta utilidad es relativa y habitualmente se lo utiliza como Flip-Flop sincrónico, excitando la entrada T mediante un reloj patrón o sino agregando una entrada más a las compuertas AND para los pulsos de sincronismo, en este caso la entrada T se reduce al papel de entrada preparatoria o programable (Figura 7).

Cuando trabaja como Flip-Flop sincrónico es divisor de frecuencia como puede observarse en el diagrama de atiemppamiento respectivo (Figura 9).

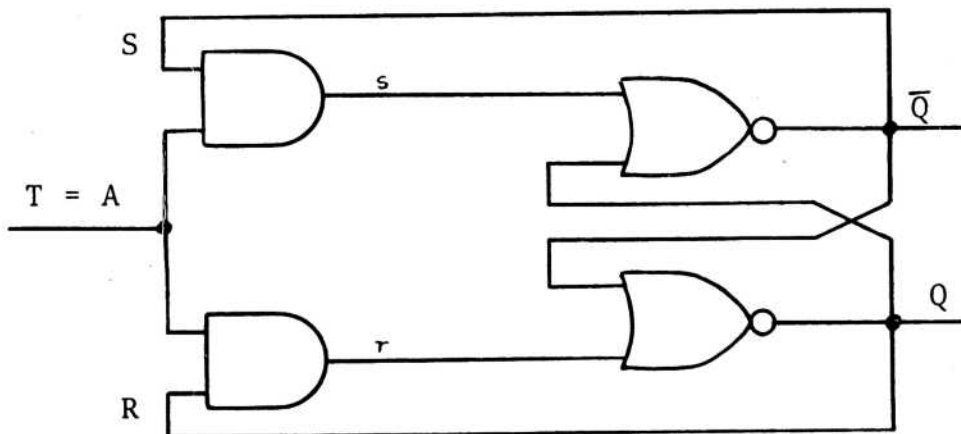


Figura 6 .- Diagrama lógico interno Flip-Flop T implementación NOR.

Se puede resumir en la TABLA CARACTERISTICA del Flip-Flop T:

T	Q_{n+1}
0	Q_n
1	$\overline{Q_n}$

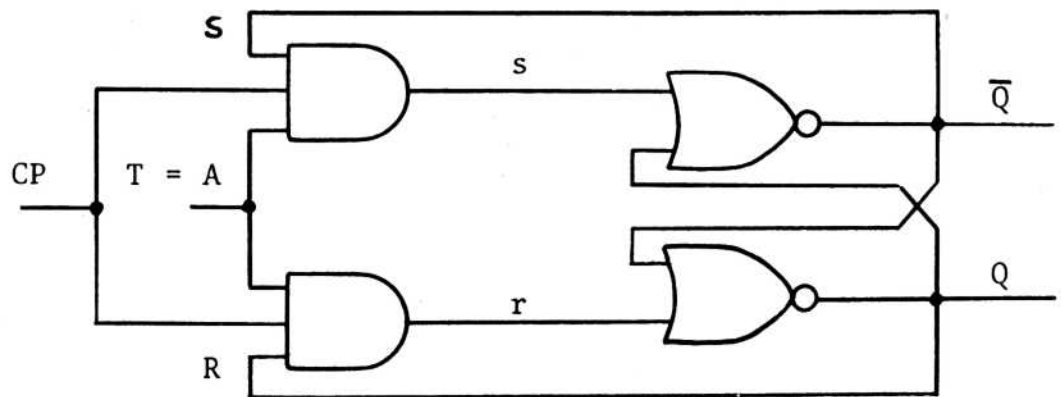


Figura 7.- Diagrama lógico interno Flip-Flop T con entradas CP y T implementado con compuertas NOR.

El diagrama lógico en bloque del Flip-Flop T es el que muestra la figura 8.

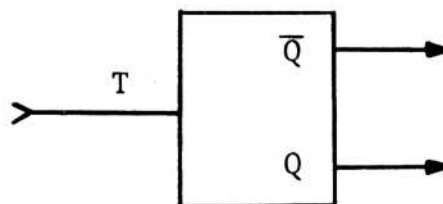


Figura 8.- Diagrama lógico del Flip-Flop T.

El diagrama de atiemppamiento del Flip-Flop tipo T es el que se muestra a continuación (Figura 9).

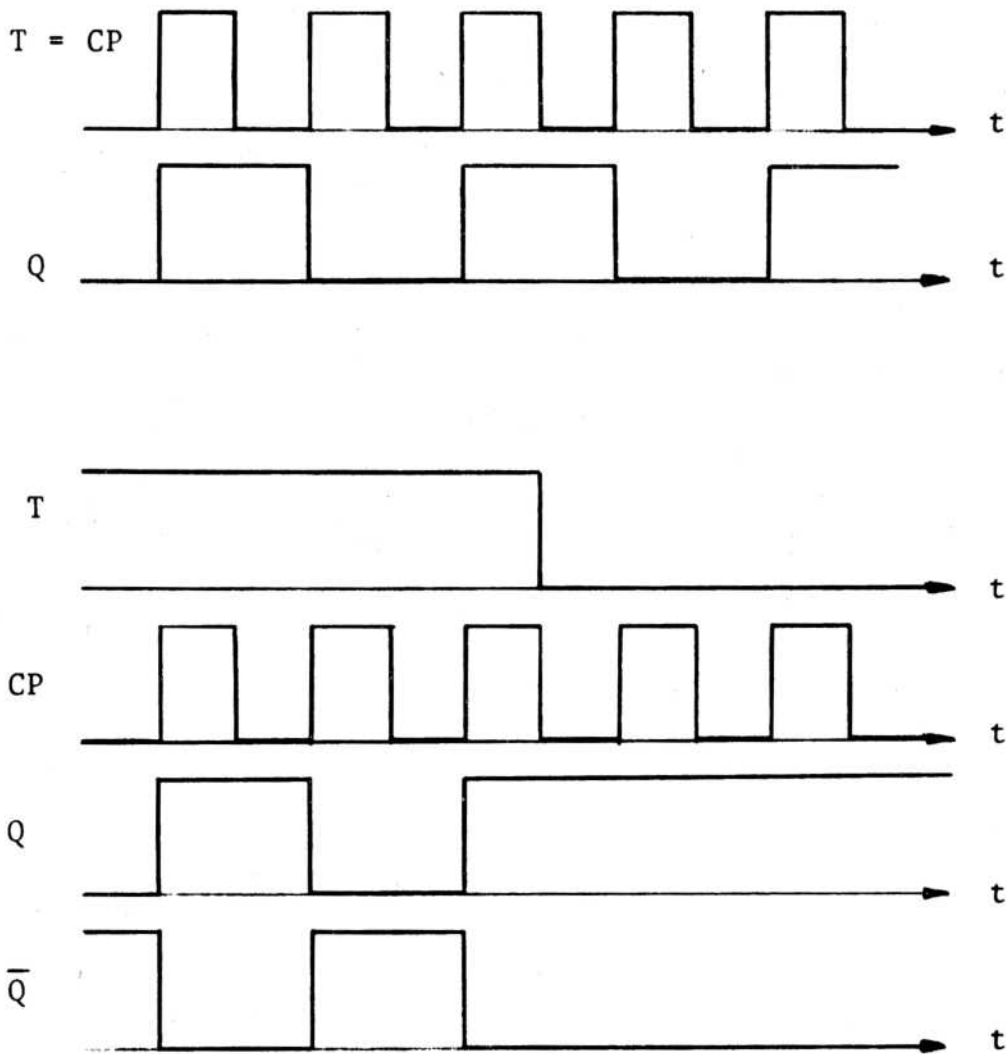


Figura 9.- Diagrama de atiemppamiento del Flip-Flop T.

FLIP - FLOP tipo D (Delay).

Es una modificación del Flip-Flop R-S como puede verse en la Figura 10 , no se encuentra como circuito discreto sino como elemento integrado y como tal tampoco se lo consigue en el mercado,

Su función específica es la de amplificar señales provenientes de una línea de transmisión larga o cuando se precisa excitar varios receptores a partir de una se-

ñal de bajo nivel; por otra parte excitado por un pulso mal configurado da a la salida un pulso normalizado

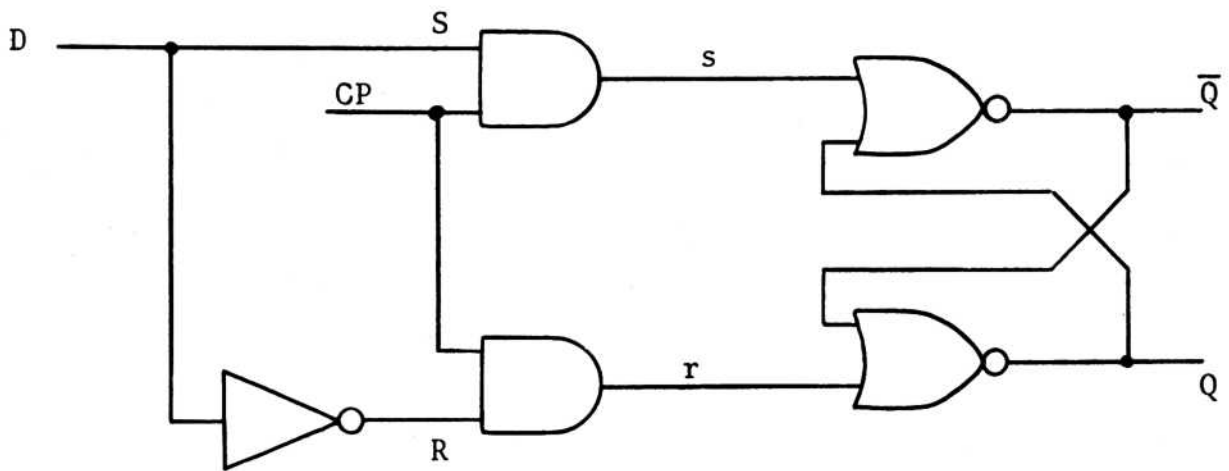


Figura 10.- Circuito lógico interno de un Flip-Flop D implementación NOR.

n°	D	Q_{n+1}
0	0	0
1	1	1

Figura 11.-Tabla característica del Flip-Flop Tipo D.

El diagrama lógico en bloque es el de la Figura 12.

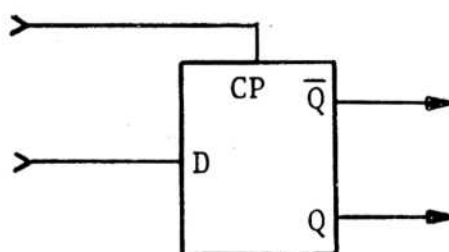


Figura 12.- Diagrama lógico en bloque del Flip-Flop tipo D.

De la tabla característica se puede deducir la Tabla de excitación que permitirá programar al Flip-Flop.

a.- Si se desea tener un 1 a la salida del F-F (Flip-Flop a partir de este momento) tipo D independientemente del estado lógico anterior, deberemos colocar un "1" en la entrada lógica D, esto lo ponen de manifiesto los renglones 1 y 3 de la Tabla de excitación de la Figura 13 .

b.- Si se desea obtener un "0" a la salida del F-F D, independientemente de la salida lógica anterior habrá que colocar un "0" en la entrada lógica D, esto es lo que ponen de manifiesto los renglones 0 y 3 de la Tabla de excitación de la Figura 13.

n°	Q_n	Q_{n+1}	D
0	0	0	0
1	0	1	1
2	1	0	0
3	1	1	1

Figura 13.- Tabla de excitación de un F-F tipo D.

El diagrama de "atiempamiento" de este F-F puede verse en la figura 14 , observandose el tiempo de retardo natural que induce la compuerta entre el momento que es excitado y el instante en el cual fija la salida, este retardo (delay) tanto en el encendido y el apagado del F-F es lo que da origen al nombre del mismo, estos retardados son del orden de los nanosegundos en los circuitos integrados digitales.

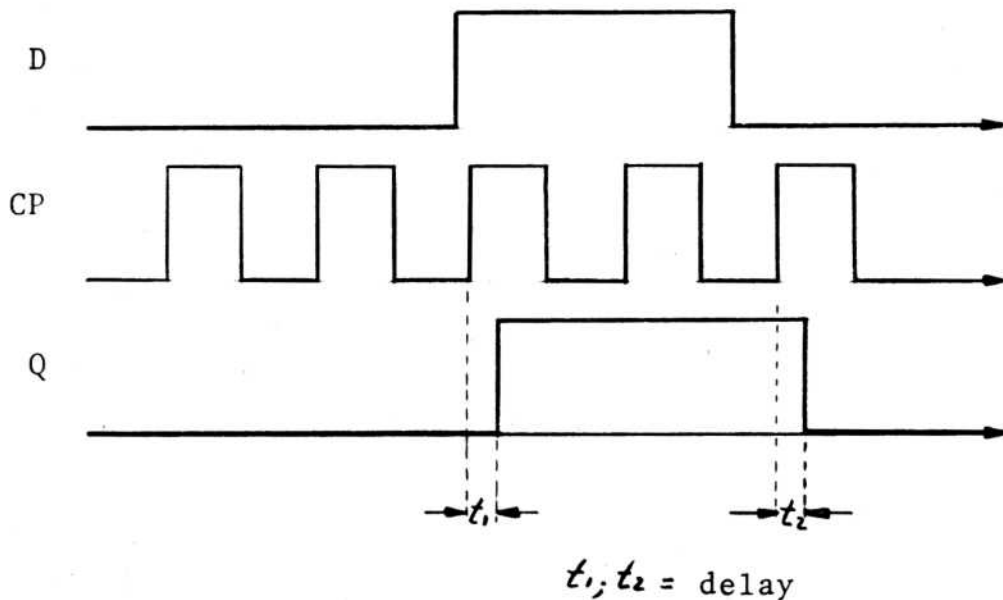


Figura 14.- Diagrama de atiemamiento del F-F D.

FLIP-FLOP JK

Este es el tipo de F-F más utilizado debido a que evita las imprecisiones del F-F R-S y además aprovecha las ventajas que proporciona el F-F T. Veamos como se puede llegar hasta su circuito interno.

Si se separa la entrada T del F-F T en dos entradas independientes se tiene el diagrama lógico interno que se muestra en la Figura 15.

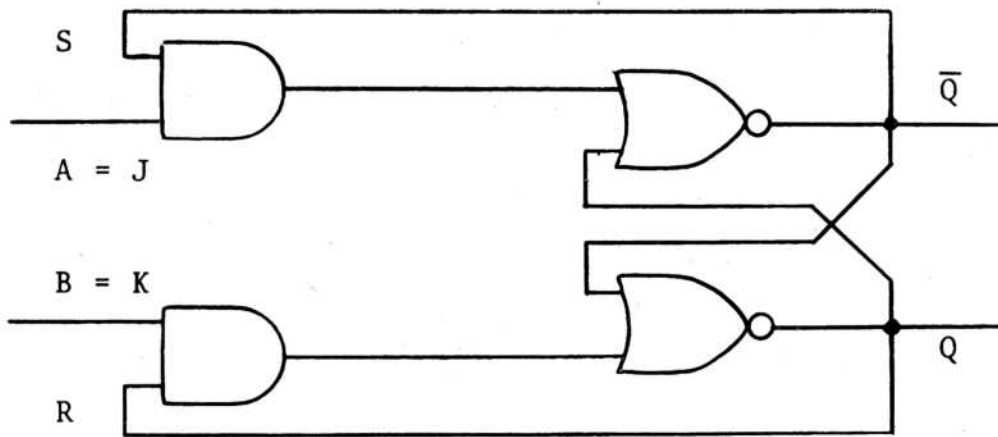


Figura 15 .- Diagrama lógico interno F-F
J-K implementación NOR

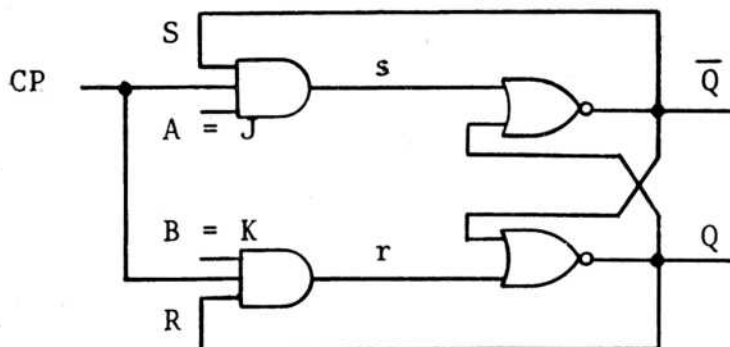
Cuando las dos entradas de excitación adquieren simultáneamente el estado lógico 1, las dos salidas conmutan sus estados lógicos anteriores cualesquiera fueran ellos.

Los pasos de análisis a, b y c muestran que el JK trabaja igual que el RS, aprovecha su configuración y el paso d muestra que cuando ambas entradas se "unen" en la excitación "1" ocurre lo mismo que en el F-FT

Podríamos resumir lo expuesto en la Tabla característica pero conviene hacerlo para el F-F JK síncronico con el objeto de una mayor generalización.

El circuito para el F-F JK síncronico es el que se muestra en la Figura 16.

Figura 16. Circuito
lógico interno del
FF JK implementación
NOR-síncronico



n°	J	K	Q_{n+1}	$\overline{Q}_{n+1}$
0	0	0	Q_n	$\overline{Q}_n$
1	0	1	0	1
2	1	0	1	0
3	1	1	$\overline{Q}_n$	$\overline{Q}_n$

Figura 17.- Tabla característica FF JK
implementación NOR.

Para poder programar salidas apetecidas se requiere una tabla auxiliar llamada TABLA DE EXCITACION hemos dicho para el caso de los FF RS, este caso habría que hacer la misma reflexión, deduzcamos la tabla en cuestión a partir de la Tabla característica de la Figura 17.

a.- Si se desea conservar un "0" en la salida Q, las entradas J y K deben ser 0 (renglón 0 de la tabla característica) pues se trata de una conservación del estado lógico anterior.

b.- Pero también podríamos colocar J = 0 y K = 1 (renglón 1 de la tabla característica) pues con estas entradas nos aseguramos un estado lógico "0" a la salida.

En síntesis, para conservar el estado lógico "0" en la salida Q, J debe adoptar el estado lógico "0" pero K puede ser "0" ó "1", esta situación ambigua del estado lógico de K se denomina estado lógico indiferente y se lo representa con el signo $\emptyset$ (renglón 0 de la TABLA DE EXCITACION de la Figura 18.

b.- Si se desea cambiar un "0" en la salida Q por un "1" lógico en dicha salida, las entradas deberán adoptar el estado lógico "1" en forma simultánea pues como se indica en la Tabla característica de la figura 17 estos estados lógicos de J y K son los que implican un cambio total en las salidas del FF JK (renglón 3 de la Figura 17).

Pero también podríamos colocar $J = 1$ y $K = 0$ (renglón 2 de la tabla característica) pues con estas entradas nos aseguramos un estado lógico "1" a la salida.

En síntesis, para cambiar un estado lógico "0" en un estado lógico "1" en la salida Q, J debe adoptar el estado lógico "1" pero K puede ser "1" ó "0", esta situación ambigua del estado lógico de K se denomina estado lógico indiferente y se lo representa con el signo $\emptyset$ (renglón 1 de la TABLA DE EXCITACION).

c.- Si se desea cambiar "1" en la salida Q por un "0" lógico en dicha salida, las entradas deberán adoptar el estado lógico "1" en forma simultánea pues como se indica en la Tabla Característica de la Figura 17 estos estados lógicos de J y K son los que implican un cambio total en las salidas del FF JK (renglón 3 de la Figura 17).

Pero también podríamos colocar J en 0 y K en 1 (renglón 1 de la tabla característica) pues con estas entradas nos aseguramos un estado lógico "0" a la salida.

En síntesis, para cambiar un estado lógico "1" en un estado lógico "0" en la salida Q, K debe adoptar el estado lógico "1" pero J puede ser "1" ó "0", esta situación ambigua del estado lógico de J se denomina estado lógico indiferente y se lo representa con el signo $\emptyset$ (renglón 2 de la TABLA DE EXCITACION).

d.- Si se desea conservar un "1" en la salida Q, las entradas J y K pueden ser 0 (renglón 0 de la tabla característica) pues se trata de una conservación del estado lógico anterior.

Pero también podríamos colocar J en 1 y K en 0 (renglón 2 de la tabla característica) pues con estas entradas nos aseguramos un estado lógico "1" a la salida.

En síntesis, para conservar el estado lógico "1" en la salida Q, K debe adoptar el estado lógico "0" pero J puede ser "0" ó "1", esta situación ambigua del estado lógico de J se denomina estado lógico indiferente y se lo representa con el signo $\emptyset$ (renglón 3 de la TABLA DE EXCITACION de la figura 18.)

n°	Q_n	Q_{n+1}	J	K
0	0	0	0	$\emptyset$
1	0	1	1	$\emptyset$
2	1	0	$\emptyset$	1
3	1	1	$\emptyset$	0

Figura 18 .- Tabla de excitación FF JK

El diagrama lógico en bloque del Flip-Flop JK puede verse en la Figura 19

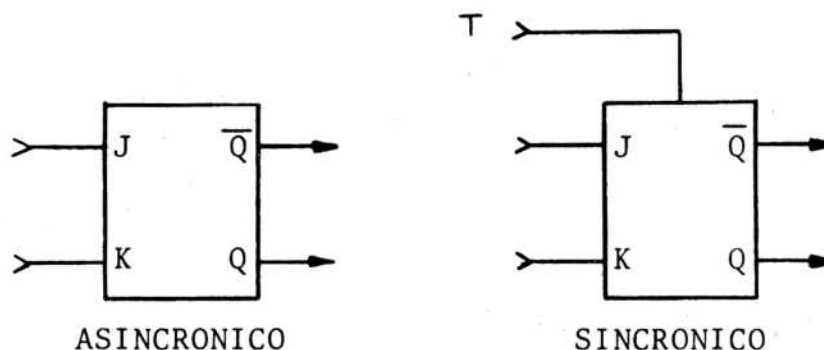


Figura 19.- Diagrama en bloque del FF JK

El diagrama de atiemppamiento del Flip-Flop JK se representa en la Figura 20.

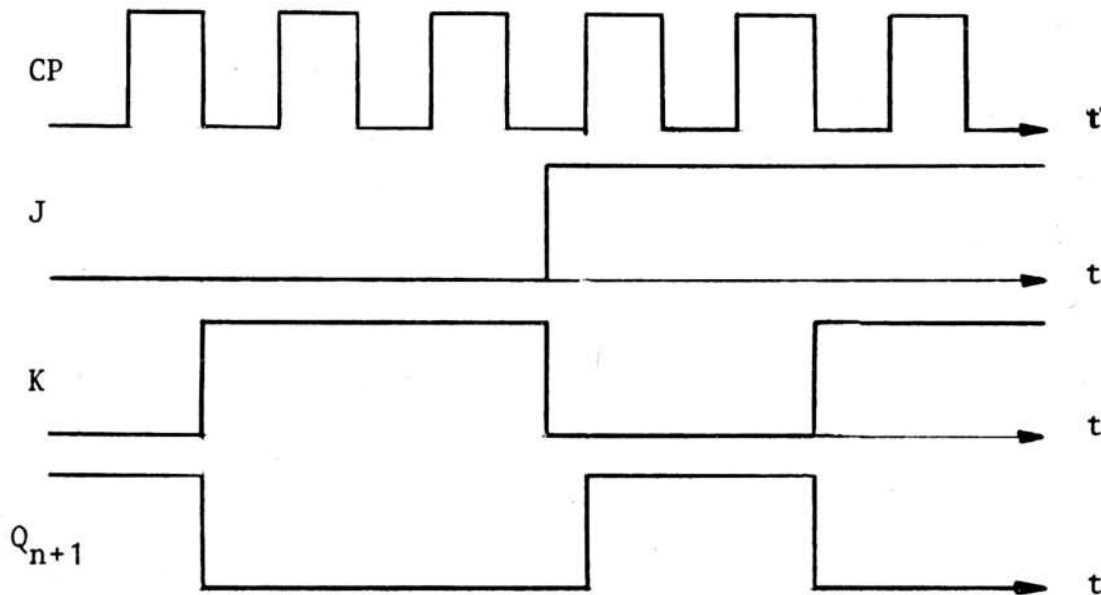


Figura 20.- Diagrama de atiemppamiento del Flip-Flop JK

FLIP-FLOP combinado

En los circuitos integrados de los FF JK se agregan dos entradas adicionales que gobiernan al FF influyendo en su etapa de salida, estas entradas se denominan PRESET y CLEAR como puede verse en la Figura 21.

Las entradas J y K continúan asumiendo el papel de entradas programables y las entradas "clear" y "preset" sirven para fijar un punto de partida deseado a la operación programada del FF.

Cuando se fija un "1" lógico en la entrada "clear" la salida Q asume el estado lógico "0" cualquiera haya sido su estado lógico anterior, pues basta un "1" en la

entrada de una compuerta lógica NOR para que la salida de la misma asuma al estado lógico "0".

La entrada "clear" limpia, desmota o "resetea" la memoria del FF.

Cuando se fija el comando "preset" en el estado lógico 1, la salida $\bar{Q}$ asume el estado lógico "0" cualquiera haya sido el estado lógico anterior pues basta un "1" en la entrada de una compuerta lógica NOR para garantizar un "0" lógico en su salida, el hecho de que $\bar{Q}$ sea "0" implica necesariamente que la salida Q adopta el estado lógico "1".

La entrada "preset" monta, "setea" o memoriza un "1" en la salida Q del FF, en otras palabras "premonta" al FF.

En algunos equipos en lugar de CLEAR dice RESET y en lugar de PRESET dice SET pues las funciones que cumplen son las mismas.

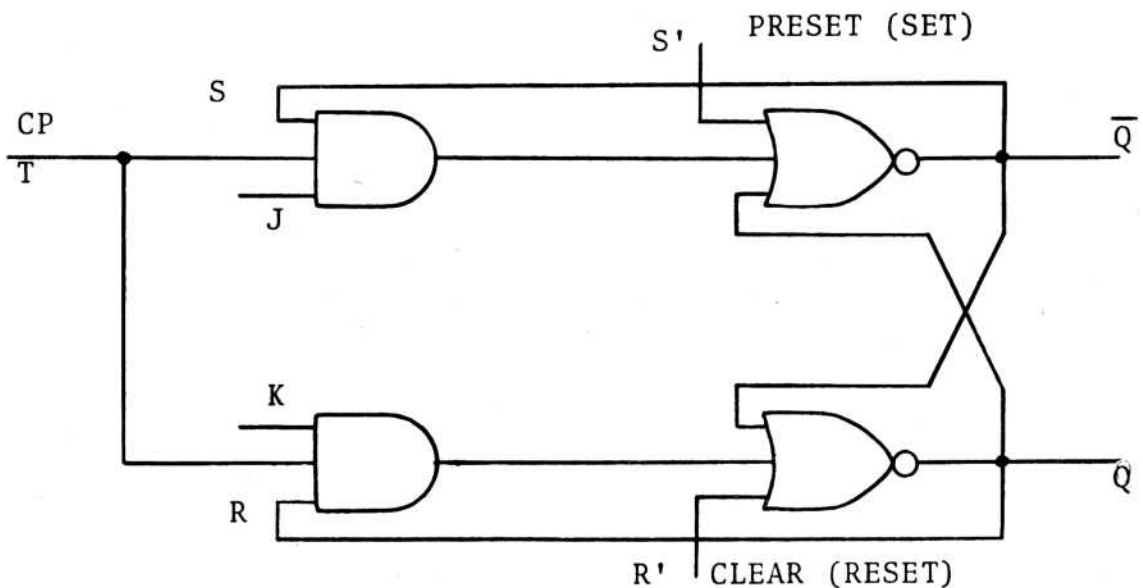


Figura 21 .- Diagrama lógico interno del Flip-Flop combinado.

FLIP-FLOP JK "Master-Slave"

En la figura 22 se ha representado el diagrama de atiemppamiento de un FF JK en donde el pulso de reloj CP tiene una duración prolongada permitiendo las entradas J y K en su estado lógico "1" simultáneo originen no un cambio único sino una oscilación o variación constante de estado en la salida Q, cuando el pulso de reloj cese no es previsible en que estado se va a encontrar la salida lógica del FF, este inconveniente lleva a diseñar un FF JK que aproveche todas las ventajas que su estructura brinda pero además que sea seguro contra pulsos de CP prolongados, este FF es el FF JK "master- slave".

Este FF en realidad consiste, como puede verse en la Figura 23, de dos FF JK sincrónicos conectados en cascada. Con la característica que en el segundo FF la entrada de pulso de reloj CP pasa por una compuerta lógica inversora.

Mediante el inversor que se ha agregado la entrada de sincronismo en uno de los dos FF está siempre complementada respecto a la entrada de sincronismo del otro. Esto imposibilita el cambio de estado simultáneo de los dos FF.

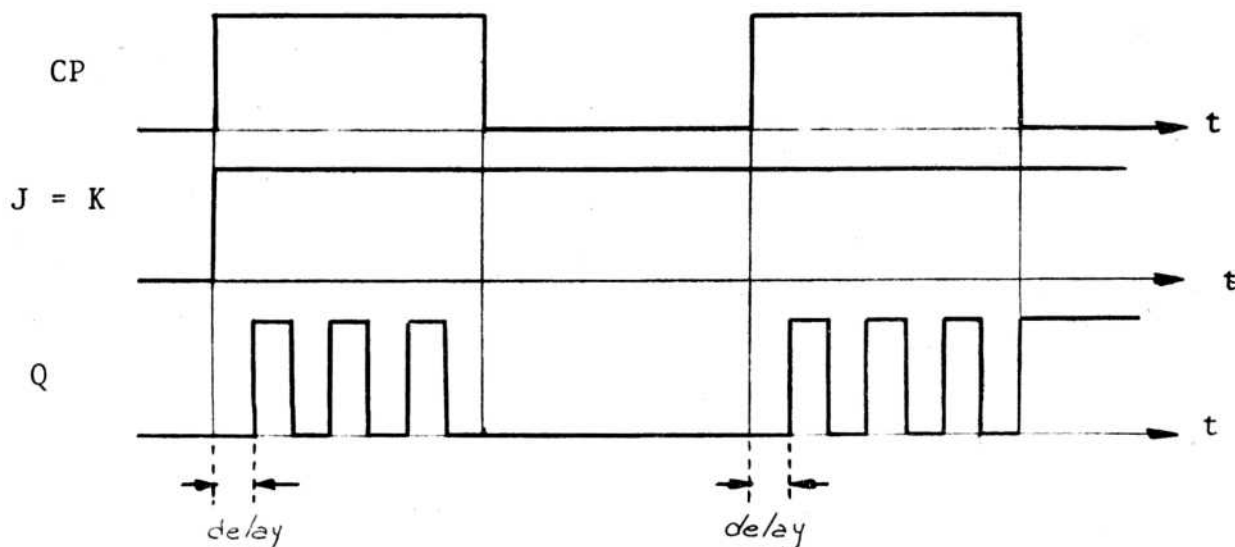


Figura 22.- Diagrama de atiemppamiento de un FF JK que pone de manifies to los problemas que ocasiona un pulso CP demasiado ancho.

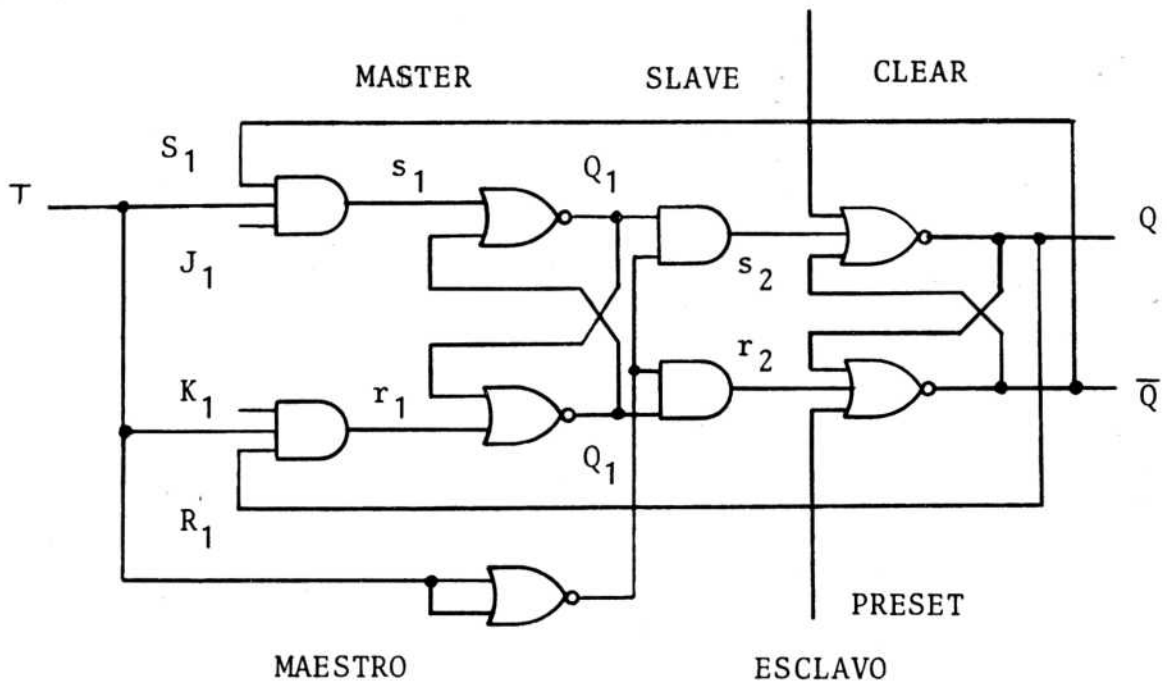


Figura 23.- Diagrama lógico interno del Flip-Flop JK "Master-slave".

El circuito funciona de la siguiente manera: cuando cambian las entradas programadas JK, como para producir un cambio en las salidas lógicas Q Y $\bar{Q}$ y llega el impulso ("1") en la entrada CP se produce la conmutación o cambio en el FF de entrada (master-maestro).

Las salidas del FF de entrada se aplican a las entradas del segundo FF (slave-esclavo) el cual no puede cambiar de estado pues está inhibido de hacerlo ya que en su entrada CP se encuentra fijado un "0" producto de la inversión del CP que hizo cambiar de estado al FF "master".

El estado de inhibición se mantiene hasta que el pulso de CP cesa. Cuando esto suceda, o sea que llegue por el control de tiempo CP un "0" el primer FF estará inhibido de conmutar pero el inversor hará que al segundo FF llegue en su control de tiempo un "1", que habilita al cambio que habían preparado las salidas del primer FF durante el tiempo anterior, recién entonces se produce el cambio en las salidas Q y $\bar{Q}$ del conjunto.

De esta manera el FF "master-slave" evita la posibilidad de oscilación, requiere para cambiar de estado, que en su entrada CP tenga lugar un pulso completo. El flanco positivo de CP "prepara" el cambio y el flanco negativo del mismo "dispara" o materializa el cambio en el FF.

Otro uso de este FF es como línea de retardo con la importante posibilidad de poder variar el tiempo de tránsito mediante el ancho del pulso de reloj.

La tabla característica, la tabla de excitación y el diagrama lógico en bloque de este FF es el mismo que el del FF JK que pueden verse en las Figuras 17 y 18 respectivamente, el diagrama de atiem-pamiento es distinto (los cambios se producen con el flanco negativo del pulso de reloj) y se muestra en la Figura 24.

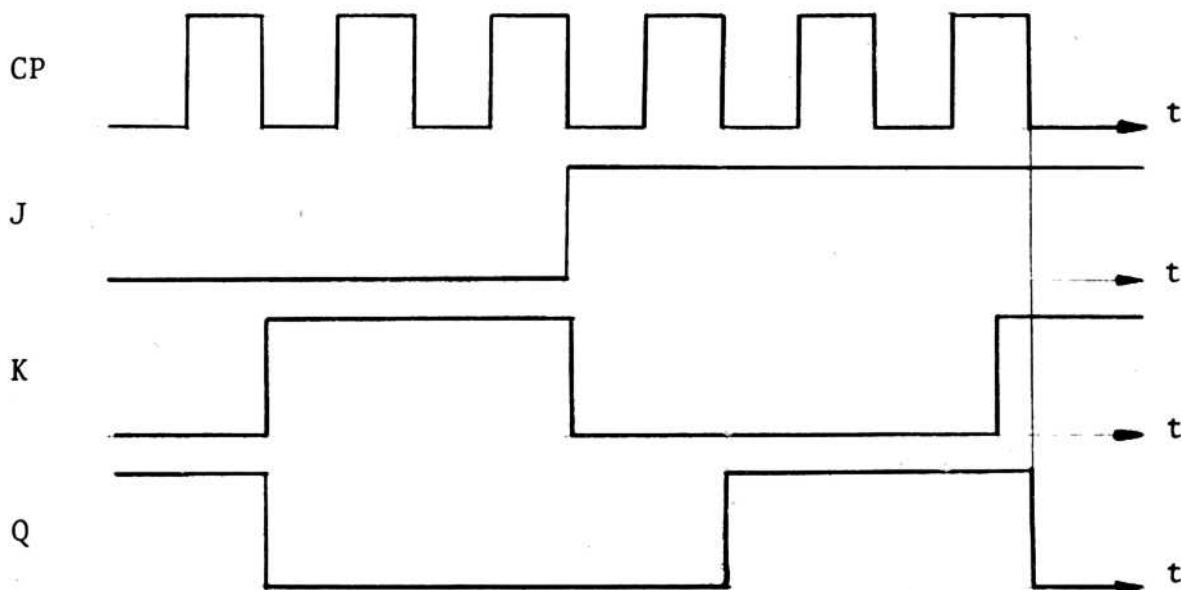


Figura 24 - Diagrama de atiem-pamiento del FF-JK "Master-Slave".

13.- CONTADORES.

Contadores.

Si se conectan un conjunto de FF en serie se obtiene un contador binario progresivo. En la Figura 1 pueden verse tres FF combinados a fin de dar un contador de tres bits.

Los contadores pueden dividirse, en principio, en 2 items: (a) Contadores asincrónicos y (b) Contadores sincrónicos.

Contadores asincrónicos.

En este tipo de contadores la salida de cada FF se conecta a la entrada del siguiente. La operación de los mismos puede explicarse de la manera siguiente, con referencia a la Figura 1.

Inicialmente todas las salidas de los FF se reajustan a cero mediante un pulso de "reseteo" adecuado, esta condición es esencial en todos los contadores, es decir, antes de comenzar el conteo deben registrarse todos ceros en sus salidas.

En el circuito de la Figura 1 se trabaja con FF tipo T "Master Slave".

Como puede verse en el diagrama de pulsos de la Fig. 1 tan pronto como el primer pulso de entrada vuelve a "0" (los FF disparan con el flanco negativo de los pulsos) la salida A del FF_A adopta el estado lógico "1" pues por Tabla de excitación sabido es que un FF T cuando tiene un "1" a la entrada cambia de estado, conmuta su estado anterior. El circuito ha contado el primer pulso: "001". La entrada del FF_B tiene ahora aplicado un "1". Cuando el segundo pulso tiene lugar, el segundo pulso cae a "0", el FF_A vuel-

ve a conmutar y su salida A adopta el estado lógico "0" mientras que el FF_B , debido a que tenía aplicado un "1", adopta el estado lógico "1" en su salida B, el FF_C no cambia de estado pues tenía aplicado un "0" cuando ocurrió el segundo pulso, ahora tiene aplicado un "1". el circuito ha contado el segundo pulso: "010".

Después del tercer pulso el FF_A vuelve a conmutar y adopta el estado lógico "1", el FF_B no conmuta pues tenía aplicado un "0", el FF_C no cambia de estado pues su entrada tiene un "1" pero estable y siendo un FF "master slave", habrá cambio cuando a su entrada se produzca una conmutación de un estado lógico "1" a un estado lógico "0", el circuito ha contado el tercer pulso "011".

Cuando ocurre el cuarto pulso el FF_A vuelve a conmutar y adopta el estado lógico "0", el FF_B también conmuta pues su entrada tenía un "1" que decae a "0", la salida del FF_B adopta el estado lógico "0", el FF_C tenía aplicado un "1" que cae a "0", se produce la condición de cambio de la salida y el FF_C conmuta, es decir, su salida adopta el estado lógico "1".

Consecuentemente después del cuarto pulso A y B adoptan el estado lógico "0" y C el estado lógico "1" : "100" en notación binaria.

El conteo continúa de esta forma hasta que las salidas de los FF adoptan los estados "111" que es el número 7 en la notación binaria.

El octavo pulso "resetea" o ajusta el contador a 000 y da un posible "acarreo" al posible próximo flip-flop.

Vemos que el conteo de pulsos se produce de una manera progresiva("ripple") a través de los cambios de cada etapa, de esta forma la última etapa no cambia de estado hasta que la etapa que la preceda no lo ha hecho.

Cada flip-flop tiene un tiempo de retardo ("delay") antes de cambiar de estado, las señales de salida estarán, consecuentemente, retrasadas respecto a los pulsos de entrada, esto nos dice que la salida no es sincrónica con la entrada. Esto puede verse más claramente a través del diagrama de pulsos de la Figura 1.

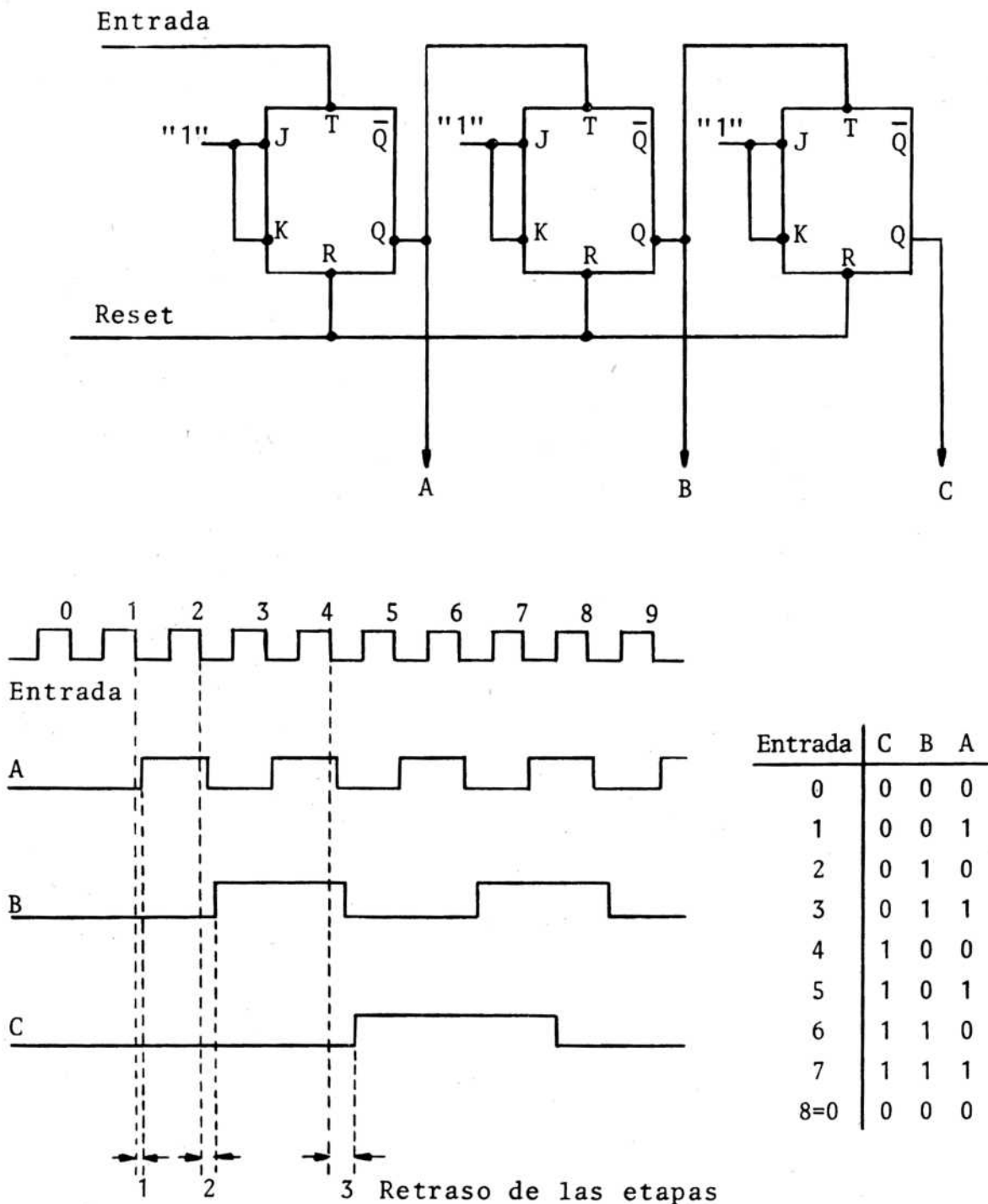


Figura 1 . Contador asincrónico de 3 bits.

Contadores sincrónicos.

El retardo de la salida respecto de las entradas es una propiedad inherente a los contados asincrónicos que hemos visto, este retardo se evita mediante los contadores sincrónicos.

En este tipo de contadores los pulsos de entrada alimentan simultáneamente todas las entradas CP de los flip-flop en cadena, mientras que los pulsos de salida de cada FF se utilizan para condicionar o programar los cambios de los subsiguientes FF.

Esto nos induce a establecer cómo se programan las entradas de un FF para obtener una determinada salida, se las programa a través de compuertas lógicas que responden a una determinada ecuación, dicha ecuación recibe el nombre de ecuación de control, el conjunto será: ecuaciones de control.

Las ecuaciones de control para el contador de la Figura 11 serán:

$$J_A = K_A = "1" \text{ acorde a lo que se deduce del circuito.}$$

$$J_B = K_B = A$$

$$J_C = K_C = A.B$$

$$J_D = K_D = A.B.C$$

El circuito puede explicarse o analizarse de la manera siguiente:

- a.- Se resetean todos los FF a "0", como en todos los contadores.
- b.- Tan pronto como se aplica el primer pulso, es decir, el primer pulso cae a cero pues son FF "master-slave", el FF_A

adquiere a su salida el estado lógico "1" pues tiene un "1" aplicado permanentemente a su entrada y, acorde a la tabla de excitación de los FF JK esta es la condición para que el FF cambie de estado cada vez que recibe un pulso de sincronismo.

Los otros tres FF no cambian de estado pues tenían aplicado un "0" en sus respectivas entradas y, acorde a la tabla de excitación, cuando un FF JK tiene aplicado simultáneamente dos "0" en sus entradas preparatorias o programables no cambia de estado, conserva el estado lógico anterior, el contador indica ahora " 0001".

c) Cuando ocurre el segundo pulso encuentra que el FF_A tiene un "1" en sus entradas programables, luego lo conmuta de estado, se encontraba en "1" lo torna "0"; el FF_B también tiene un "1" en sus entradas programables pues $J_B = K_B = A$ y A era "1", luego el pulso conmuta la salida del FF_B del estado "0", el cual se encontraba en el estado lógico "1", los otros dos FF no cambian de estado pues sus entradas se encuentran en el estado lógico "0", como se deduce de sus ecuaciones de control. El contador indica ahora "0010".

d) Cuando ocurre el tercer pulso encuentra que el FF_A tiene un "1" en sus entradas programables, luego lo conmuta de estado, se encontraba en "0" lo torna "1"; el FF_B tiene aplicado un "0" en sus entradas programables pues $J_B = K_B = A$, y A es "0", luego el pulso NO conmuta la salida del FF_B , conserva el estado lógico anterior que era "1", el FF_C no cambia de estado pues acorde a sus ecuaciones de control tenemos: $J_C = K_C = A.B$, A era "0" y B era "1", luego en las entradas programables del FF_C se tendrá un "0".

EL FF_D tampoco cambia de estado como puede deducirse de sus ecuaciones de control.

El contador indica ahora "0011",

e) Cuando ocurre el cuarto pulso encuentra las entradas de los FF de la manera siguiente:

FF_A con $J_A = K_A = 1$ lo conmuta de estado tenía "1" pasa a "0"

FF_B con $J_B = K_B = 1$ lo conmuta de estado tenía "1" pasa a "0"

FF_C con $J_C = K_C = AB = 1$ lo conmuta de estado tenía "0" pasa a "1"

FF_D con $J_D = K_D = ABC = 0$ conserva el estado anterior, es decir "0"

El contador indica ahora "0100" .

f) El proceso de análisis podría continuarse de la misma manera pero conviene normalizarlo en una tabla de verdad:

Entrada de sincronismo.	Salidas de los FF				Condiciones que se encuentran las entradas programables después del pulso de reloj.			
	D	C	B	A				
	$J_D K_D$	$J_C K_C$	$J_B K_B$	$J_A K_A$				
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	1
2	0	0	1	0	0	0	0	1
3	0	0	1	1	0	1	1	1
4	0	1	0	0	0	0	0	1
5	0	1	0	1	0	0	1	1
6	0	1	1	0	0	0	0	1
7	0	1	1	1	1	1	1	1
8	1	0	0	0	0	0	0	1
9	1	0	0	1	0	0	1	1
10	1	0	1	0	0	0	0	1
11	1	0	1	1	0	1	1	1
12	1	1	0	0	0	0	0	1
13	1	1	0	1	0	0	1	1
14	1	1	1	0	0	0	0	1
15	1	1	1	1	1	1	1	1
16=0	0	0	0	0	0	0	0	1

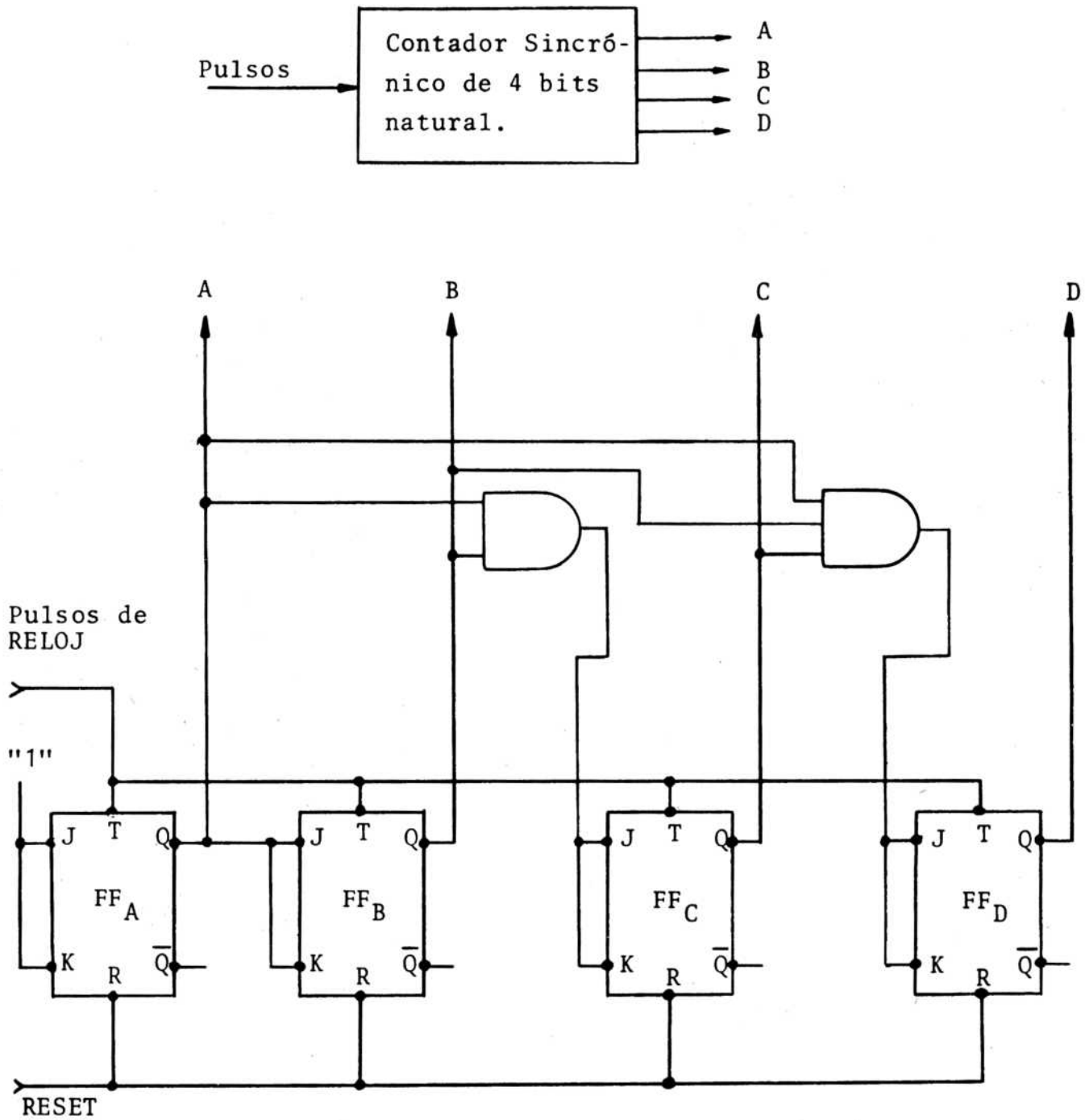


Figura 2. Contador sincrónico de 4 bits también denominado contador natural o sistemático.

$$J_A = K_A = 1$$

$$J_B = K_B = A$$

$$J_C = K_C = A.B$$

$$J_D = K_D = A.B.C.$$

Ecuaciones de control del contador sincrónico de 4 bits

Contadores naturales o sistemáticos.

Los contadores que hemos estudiado hasta el momento presentan la particularidad de reajustarse a cero por dos motivos : por haber llegado al límite de su capacidad operativa o a través de la entrada de reajuste (reseteado) o limpieza. Los llamamos sistemáticos pues su límite de conteo está dado por la cantidad de FF que lo compone, es decir, si tenemos tres FF el contador cuenta hasta "111", su número máximo es 7, luego cuenta en sistema octal, si tenemos 4 FF, el número máximo en decimal es 15, luego cuenta en sistema hexadecimal.

Estos contadores pueden ser asincrónicos o sincrónicos, en este caso debe usarse FF programables.

Los contadores naturales pueden clasificarse en contadores naturales progresivos y contadores naturales regresivos.

Contadores naturales regresivos.

En los contadores discutidos anteriormente cada conteo incrementa el valor binario acumulado en un bit, son contadores sistemáticos progresivos (up counters). En los contadores regresivos cada conteo actúa de forma tal que cada punto reduce el valor binario acumulado en un bit, si se parte de 1111, el siguiente conteo es 1110, el siguiente es 1101, etc..

Al igual que en los contadores progresivos, los contadores regresivos (down counters) pueden ser asincrónicos o sincrónicos.

La diferencia esencial entre el contador sincrónico y el asincrónico regresivo es la misma que en el caso de los contadores progresivos.

Un contador regresivo se puede obtener de uno progresivo con el solo artificio de tomar sus salidas en

lugar de Q para representarlas en el exterior, tomarlas de $\overline{Q}$. Otra manera de distinguirlos es a través de la salida que pasa la información en el caso del asincrónico o que programa las entradas de los otros FF en el caso de los sincrónicos; en el contador progresivo la información se translada de FF a FF a través de Q , en los regresivos la información se translada de FF a FF a través de la salida $\overline{Q}$.

En las Figuras 3 y 4 pueden verse un contador regresivo de 3 bits asincrónico y un contador regresivo de 3 bits sincrónico respectivamente.

Contadores reversibles (up-down counters)

Hemos visto que la única diferencia entre los contadores progresivos y los contadores regresivos es que uno usa la salida Q para transferir información o programar las entradas de los FF que continúan en la cadena, mientras que el otro usa para el mismo fin la salida $\overline{Q}$.

Se pueden combinar ambos contadores mediante un circuito de decisión que permite pasar de un contador al otro.

En la figura 5 puede verse el circuito de un contador reversible de tres bits.

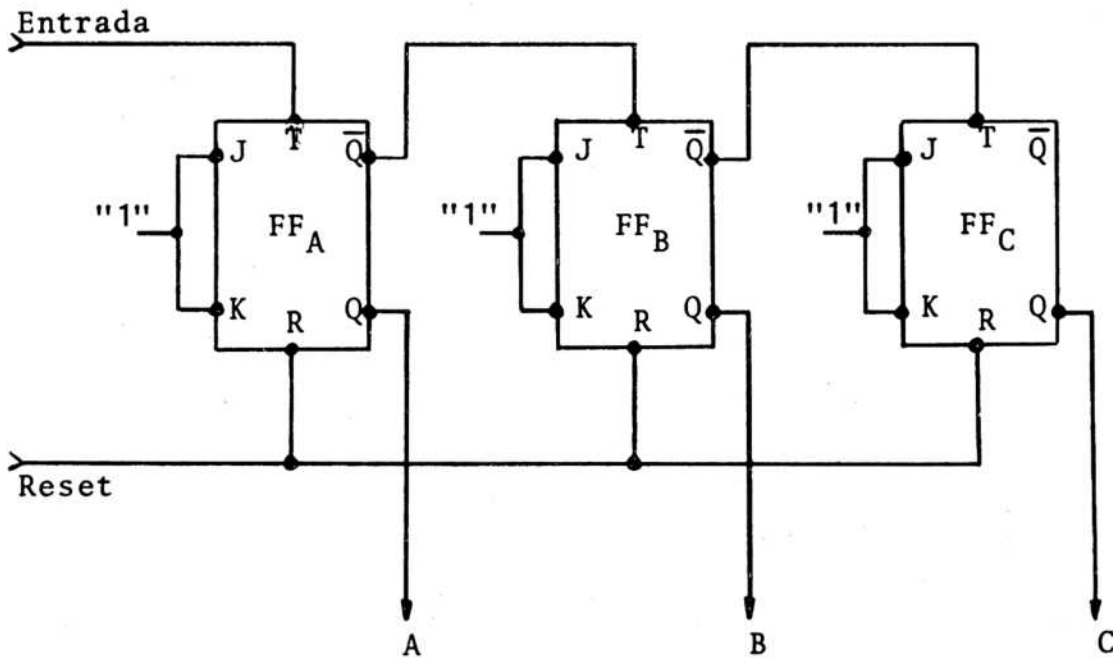


Figura 3. Contador asincrónico de 3 bits tipo regresivo.

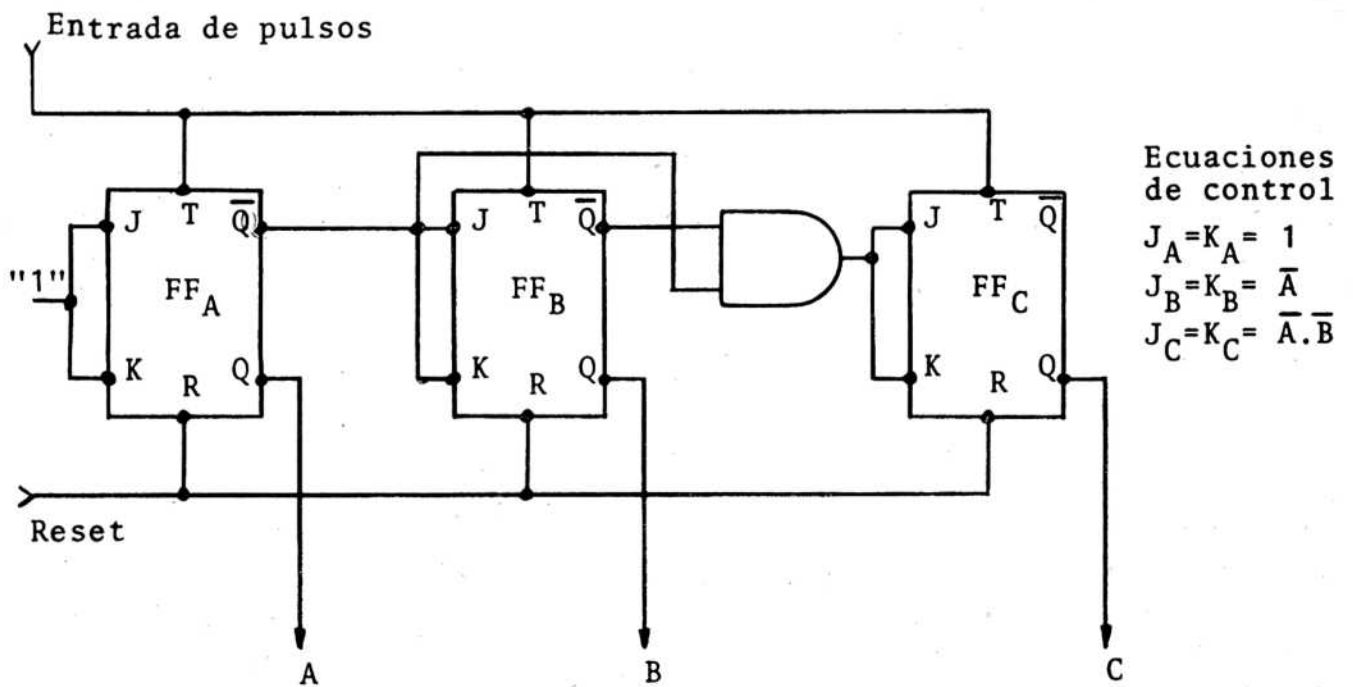


Figura 4. Contador sincrónico regresivo de 3 bits.

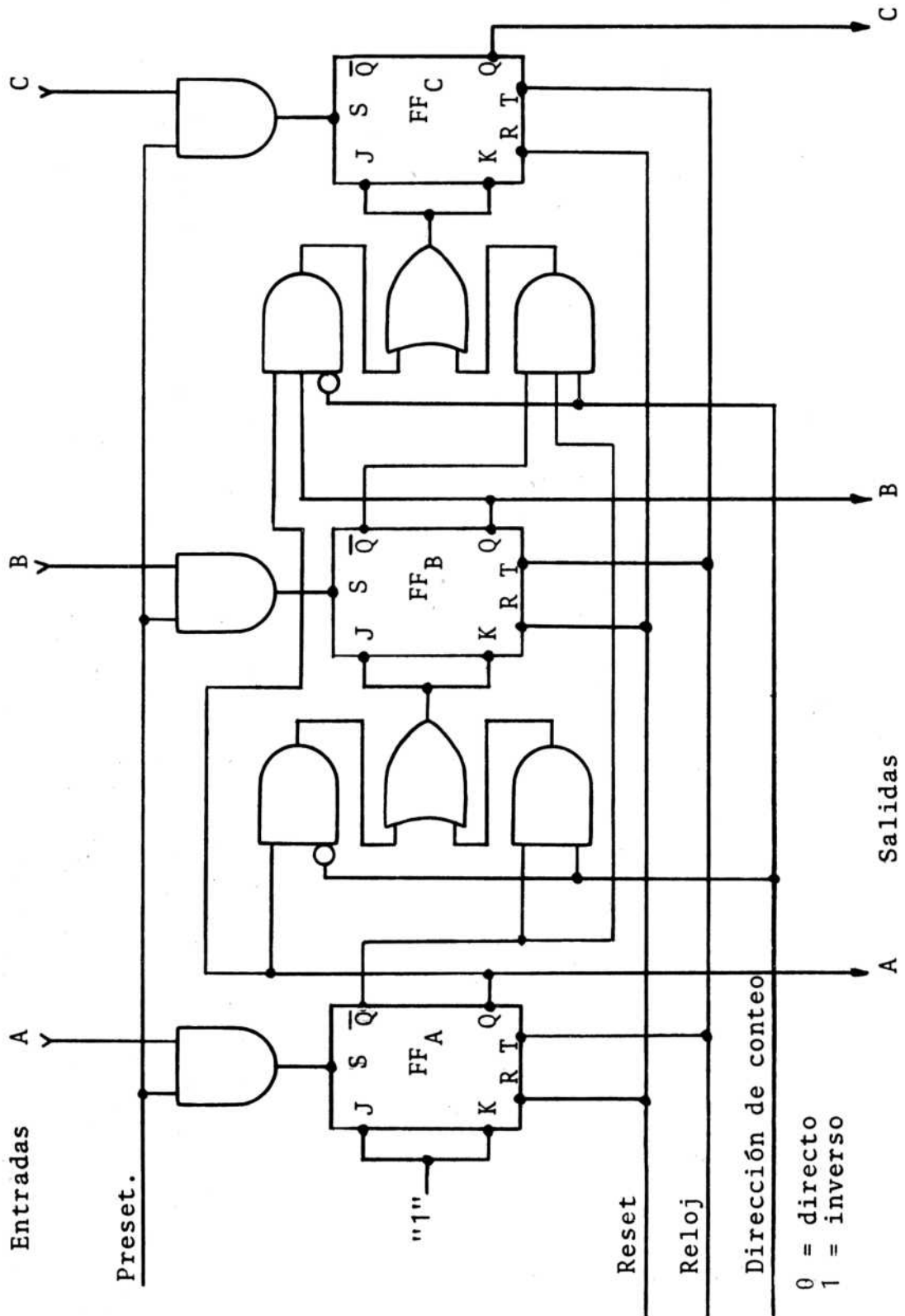


Figura 5. Contador reversible (UP-DOWN) de 3 bits.

Contadores codificados.

Los contadores codificados son aquellos contadores que se reajustan programadamente ANTES de llegar al límite de sus posibilidades de conteo, por ejemplo, un contador hexadecimal cuenta hasta 15 pero en la práctica al igual que se hizo con el sumador de 4 bits, lo que se requiere es un contador BCD, como antes se necesitó un sumador BCD; pero para poder representar o contar al número decimal 9 se requieren 4 bits con ellos se tienen 16 posibilidades, 6 de las cuales deben omitirse, el contador debe programarse de forma tal que al contar el décimo pulso se reajuste a cero, el contador BCD es un contador codificado típico.

En general se puede establecer que si se requiere contar hasta un número n se deben disponer de N FF de forma tal que se cumpla la siguiente relación:

$$2^{N-1} \leq n \leq 2^N$$

Esto nos induce a retomar el circuito de la Figura 5 respecto de la cual se estableció que los pulsos de reloj debían cortarse cuando ocurría un cuarto pulso, esto ocurre por que la palabra lógica tiene 4 bits, si la misma hubiera tenido 6 bits, el conteo antes de "cortar" los pulsos debería haber sido 6, en este caso se requerían tres FF, con ellos se podría contar hasta siete, luego habrá estados prohibidos, para conseguir este efecto habrá que programar adecuadamente las entradas respectivas de los FF.

El circuito de la Figura 6 es un contador sincrónico BCD, procedamos a su análisis sistemático:

- a.- Se resetean todos los FF de manera tal que todas las salidas de los FF adquieren el estado lógico "0".
- b.- Se plantean las ecuaciones de control respecti-

vaS, que por análisis del circuito serán:

$$J_A = K_A = "1"$$

$$J_B = K_B = A.\bar{D}$$

$$J_C = K_C = A.B$$

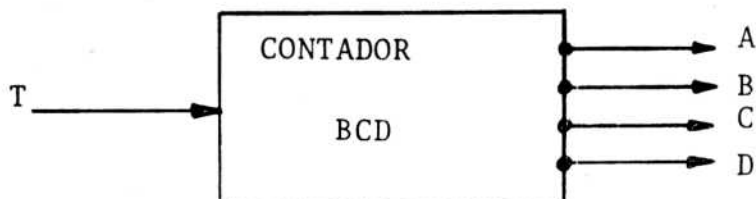
$$J_D = A.B.C \quad K_D = A$$

- c.- Al tener lugar el pulso de reloj, en vista de las entradas programadas que dan las ecuaciones de control, deducir con la ayuda de la tabla característica del FF utilizado, las salidas que se producen.

El FF_A presenta un "1" en sus dos entradas programadas, luego conmuta de estado, se encontraba en el estado lógico "0", adquiere el estado lógico "1".

El FF_B presenta en ambas entradas un "0" pues $A = 0$ y $D = 1$, luego no cambia de estado, tenía un "0", conserva el "0" lógico.

El FF_C presenta en ambas entradas un "0" lógico pues $A = B = 0$, luego no cambia de estado, tenía un "0", conserva el estado "0" lógico.



$$J_C = K_C = A, B = 1, 0 = 0$$

$$J_D = 1.0.0 = 0 \quad K_D = 1$$

e.- Con las nuevas entradas programadas, al tener lugar el pulso de reloj, determinar las salidas que se obtienen.

El FF_A presenta un "1" en sus dos entradas programadas, luego al suceder el pulso de reloj conmuta de estado, se encontraba en el estado lógico "1" adquiere el estado lógico "0".

El FF_B presenta un "1" en sus dos entradas programadas, al tener lugar el pulso de reloj, conmuta de estado, se encontraba su salida Q en el estado lógico "0", adquiere el estado lógico "1".

El FF_C presenta un cero lógico en sus dos entradas programables, luego al ocurrir el pulso de reloj, no cambia de estado lógico, estaba en el estado lógico "0" y continúa en él.

El FF_D presenta un cero lógico en J y un 1 lógico en K, esto asegura un "0" en su salida al tener el pulso de reloj su pasaje de 1 a 0.

f.- Repetir los pasos d y e hasta que el contador se reajuste automáticamente a 0, podemos, sin embargo, sintetizar el análisis en una tabla de verdad:

Entrada de sincronismo	Salida de los FF				Condiciones que se en- cuentran las entradas programables después del pulso de reloj.			
n°	D	C	B	A	J _D K _D	J _C K _C	J _B K _B	J _A K _A
0	0	0	0	0	0 0	0 0	0 0	1 1
1	0	0	0	1	0 1	0 0	1 1	1 1
2	0	0	1	0	0 0	0 0	0 0	1 1
3	0	0	1	1	0 1	1 1	1 1	1 1
4	0	1	0	0	0 0	0 0	0 0	1 1
5	0	1	0	1	0 1	0 0	1 1	1 1
6	0	1	1	0	0 0	0 0	0 0	1 1
7	0	1	1	1	1 1	1 1	1 1	1 1
8	1	0	0	0	0 0	0 0	0 0	1 1
9	1	0	0	1	0 1	0 0	0 0	1 1
10 = 0	0	0	0	0	0 0	0 0	0 0	1 1

Como puede verse en la Tabla de Verdad los eventuales estados lógicos 1010, 1011, 1100, 1101, 1110, 1111, no se producen, el contador se reajusta sólo a 0000 al tener lugar el décimo pulso de reloj. A veces a este tipo de contadores se los llama de "módulo-9" ó "contadores por 10" (Count-by-10).

Contadores con acarreo progresivo. (counters with ripple carry).

En la figura 7 puede verse el mismo contador de la figura 2 con la diferencia que cada función lógica de las entradas programables se hace a través de compuertas lógicas de dos entradas que aprovechan la función lógica que generó la compuerta lógica anterior.

Para programar las entradas del FF_C se usó una compuerta que generó la función A.B, para programar las entradas del siguiente FF se usó una compuerta lógica que generó una función A.B.C, esta podría escribirse como (A.B).C con lo cual que se utiliza en vez de una compuerta lógica de tres entradas, una compuerta lógica de dos entradas, con lo cual se abarata costos y se obtiene la misma función lógica.

El nombre de contadores con acarreo progresivo proviene precisamente del hecho que cada FF actúa acorde a como lo programa el anterior, es decir, progresivamente se van transfiriendo información o programando, y dicha progresión "se acarrea" a través de toda la línea de FF.

Los contadores sincrónicos naturales haciéndolos mediante este método de carreo progresivo permiten generalizar a un número indefinido de bits, como puede verse en la figura 8, el método se generalizó para un contador sincrónico de 7 bits natural o sistemático.

El método puede extenderse también para los contadores codificados, en la figura 9 puede observarse un contador BCD realizado con el método o forma de acarreo progresivo.

La metodología de análisis es la misma que en los casos anteriores.

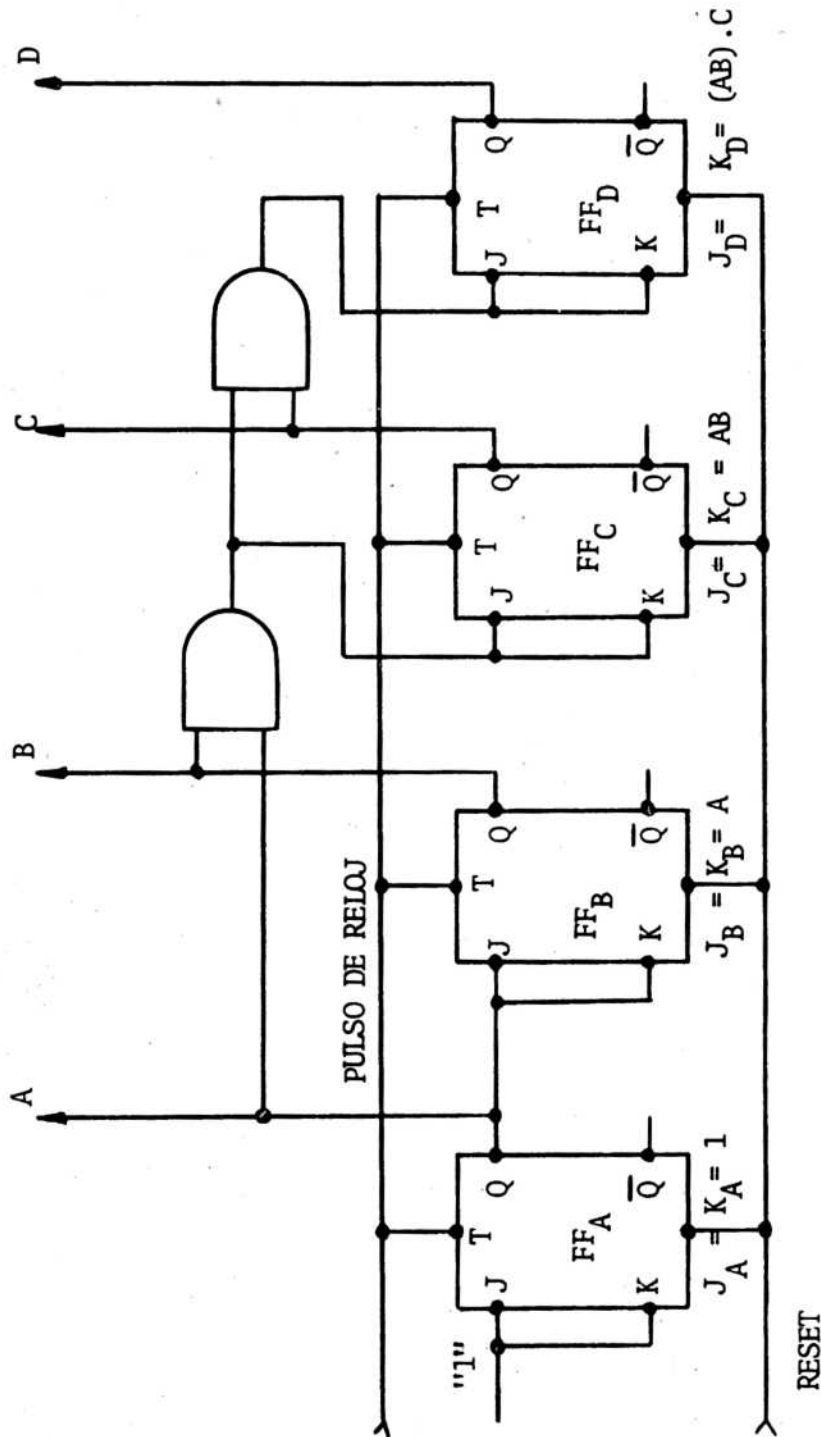
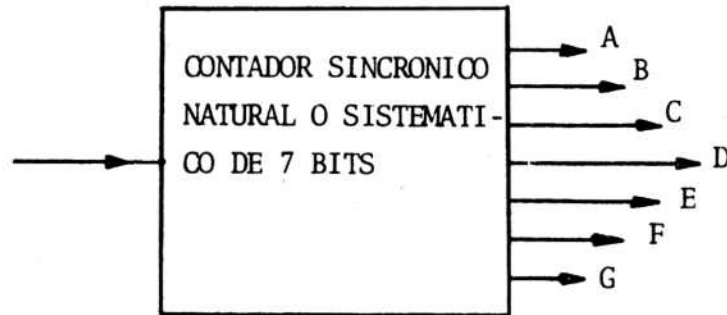
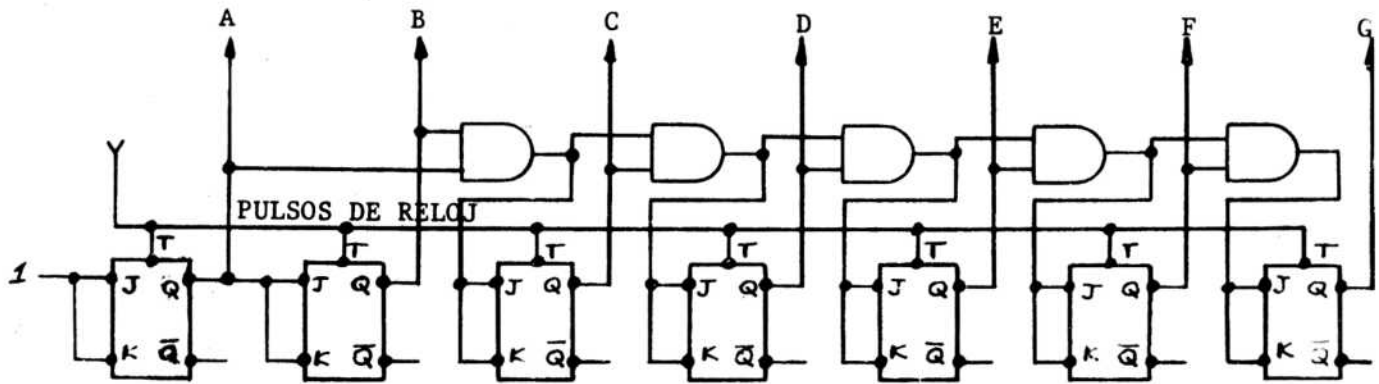


Figura 7 .- Contador sincrónico de 4 bits
co acarreo progresivo.



Ecuaciones de control

$$J_A = K_A = "1"$$

$$J_E = K_E = (A.B.C).D$$

$$J_B = K_B = A$$

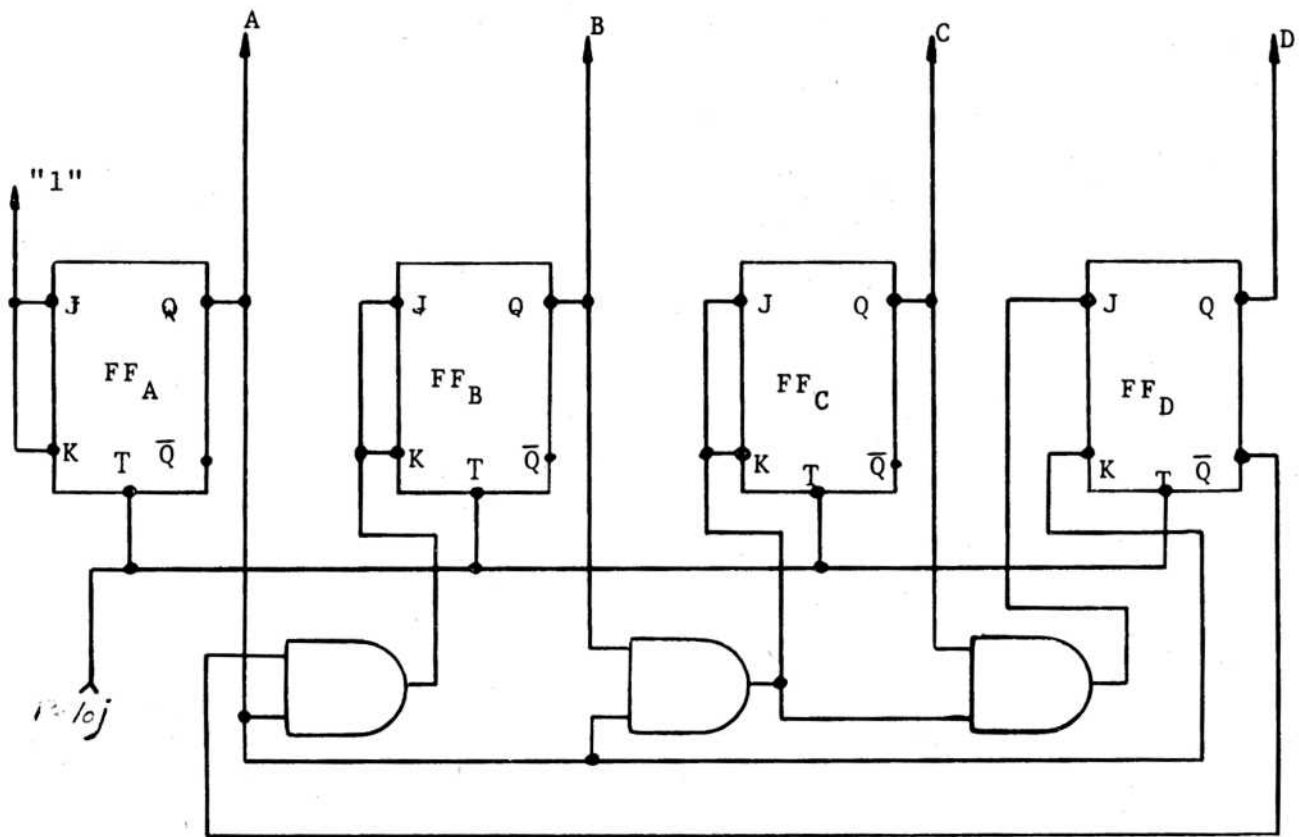
$$J_F = K_F = (A.B.C.D).E$$

$$J_C = K_C = A.B$$

$$J_G = K_G = (A.B.C.D.E).F$$

$$J_D = K_D = (A.B).C$$

Figura 8 .- Contador sincrónico natural o sistemático de 7 bits con acarreo progresivo.



Ecuaciones de control

$$J_A = K_A = 1 \quad J_B = K_B = A \cdot \bar{D} \quad J_C = K_C = A \cdot B \quad J_D = (A \cdot B) \cdot C$$

$$K_D = A$$

Figura 9 - Contador codificado BCD (8-4-2-1) con acarreo progresivo.

$$J_A = K_A = B + C$$

$$J_B = \bar{A} + C$$

$$K_B = A + \bar{C}$$

$$J_C = A \cdot \bar{B}$$

$$K_C = \bar{A} \cdot \bar{B}$$

c.- Al tener lugar el pulso de reloj,
en vista de las entradas progra-
madas que dan las ecuaciones de
control, deducir con la ayuda de
la tabla característica del FF
usado las salidas que se producen.

Entradas:

$$J_A = K_A = 0+0 = 0$$

$$J_B = \bar{0}+0 = 1+0 = 1$$

$$K_B = 0+\bar{0} = 0+1 = 1$$

$$J_C = 0 \cdot \bar{0} = 0 \cdot 1 = 0$$

$$K_C = \bar{0} \cdot \bar{0} = 1 \cdot 1 = 1$$

Salidas:

$$\begin{array}{ccc} FF_A & K_A & J_A \\ & 0 & 0 \end{array}$$

ocurre el CP

$$Q_{n+1} = Q_n = 0$$

$$\begin{array}{ccc} FF_B & K_B & J_B \\ & 1 & 1 \end{array}$$

ocurre el CP

$$Q_{n+1} = \overline{Q_n}$$

$$Q_{n+1} = \overline{0} = 1$$

$$\begin{array}{ccc} FF_C & K_C & J_C \\ & 1 & 0 \end{array}$$

ocurre el CP

$$Q_{n+1} = 0$$

La salida del contador es:

010

d.- Se determinan las nuevas entradas programables en base a los estados de las salidas obtenidas en el paso anterior.

$$J_A = K_A = 1 + 0 = 1$$

$$J_B = \overline{0} + 0 = 1 + 0 = 1$$

$$K_B = 0 + \overline{0} = 0 + 1 = 1$$

$$J_C = 0 \cdot \overline{1} = 0$$

$$K_C = \overline{0} \cdot \overline{1} = 1 \cdot 0 = 0$$

e.- Con las nuevas entradas programadas, al tener lugar el pulso de reloj, determinar las nuevas salidas que se obtienen.

FF_A tiene J=K=1 cambia de estado, tenía 0 pasa a ser 1.
 FF_B tiene J=1 K=1 cambia de estado, tenía 1 pasa a ser 0.
 FF_C tiene J=0 K=0 conserva el estado anterior que era 0.
 La salida del contador es:

100

f.- Se repite el paso d y el e hasta que el contador se reajuste.

g.- Se aconseja hacer el análisis de conteo hasta realizar no menos de 2 ciclos completos a fin de tener la certeza que el contador no presenta más de una secuencia que no se presenta en todos los ajustes a cero.

Las etapas f y g se sintetizan en una tabla de verdad a los fines de economía y síntesis del análisis.

Entrada de sincronismo n°	Salida de los FF			Condiciones que se encuentran las entradas programables después del pulso de reloj.		
	A	B	C	$J_A^K A$	$J_B^K B$	$J_C^K C$
0	0	0	0	0 0	1 1	0 1
2	0	1	0	1 1	1 1	0 0
4	1	0	0	0 0	0 1	1 0
5	1	0	1	1 1	1 1	1 0
3	0	1	1	1 1	1 0	0 0
7	1	1	1	1 1	1 1	0 0
1	0	0	1	1 1	1 0	0 1
6	1	1	0	1 1	0 1	0 0
0	0	0	0	0 0	1 1	0 1

En síntesis: la secuencia de conteo es 0-2-4-5-3-7-1-6-0 y recomienza el ciclo.

15.- DIFERENTES TECNOLOGIAS DE CIRCUITOS LOGICOS.

Circuitos digitales con componentes discretos: lógica resistencia transistor (RTL).

El primer circuito que se utilizó fue el de la figura 1 que representa una puerta NO-O en lógica negativa realizada con resistencias y un transistor de germanio. El principal inconveniente de este circuito es la necesidad de utilizar una alimentación auxiliar para polarizar inversamente la base del transistor cuando todas las entradas del mismo se encuentran en estado cero

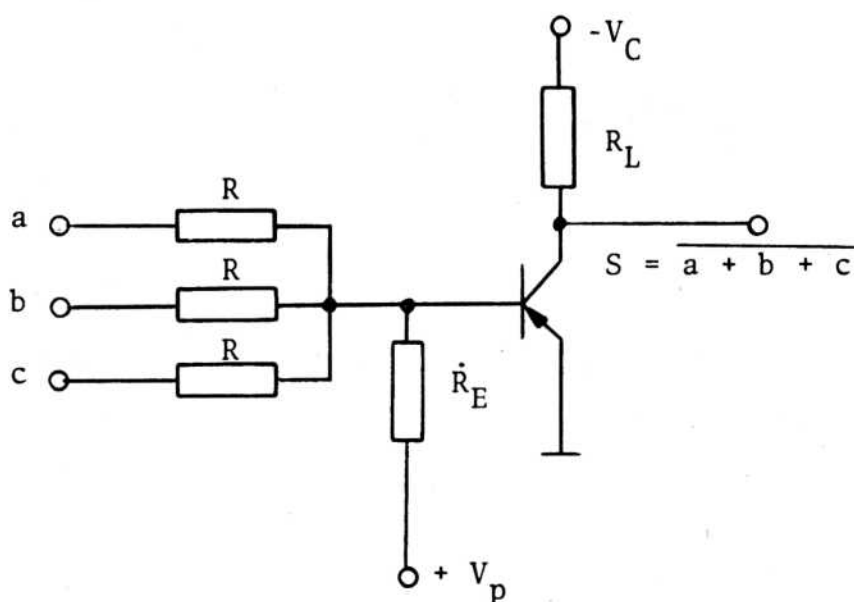


FIGURA 1.-

a fin de reducir la corriente de pérdidas del colector. Este inconveniente se evitó posteriormente mediante la utilización de transistores de silicio tal como se indica en la Figura 2, la resistencia R_E se conecta al cero de la tensión $+V_p$ y por tanto se suprime la tensión de polarización $-V_C$. Otra desventaja del circuito es que la corriente de base proporcionada por una sola entrada debe de ser suficiente para saturar el transistor, por lo cual, al poner más de una entrada en estado uno se produ-

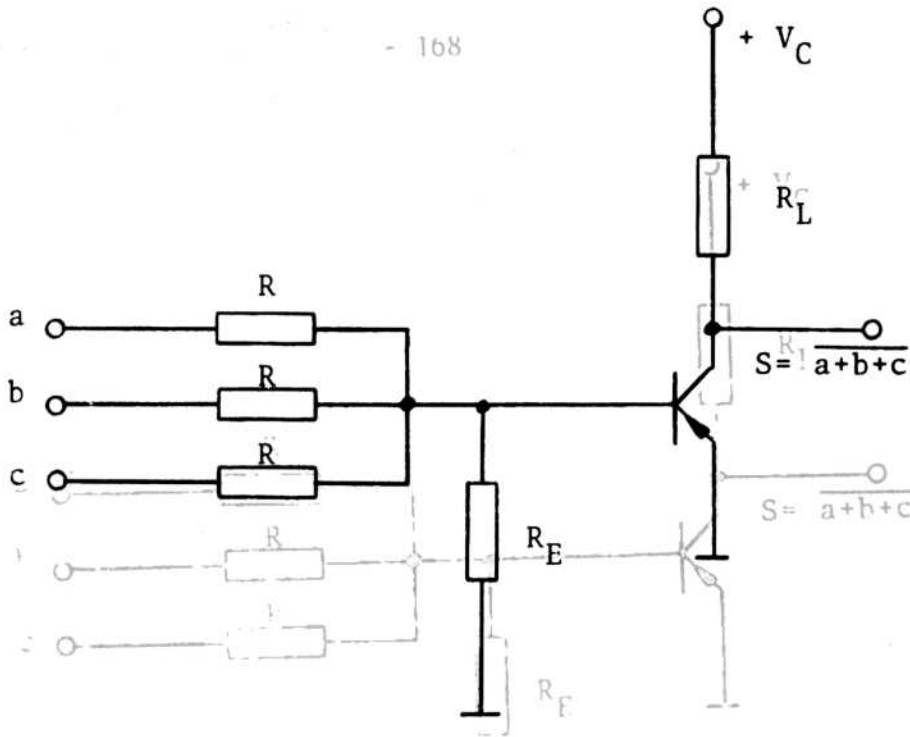


FIGURA 2.-

ce una sobresaturación que disminuye la frecuencia máxima de conmutación del circuito.

Una ventaja importante es la gran inmunidad al ruido.

Circuitos bloque: Tecnología resistencia - transistor (RTL).

Constituyen un paso adelante en la concepción de los circuitos digitales electrónicos.

Fundamentalmente son los mismos circuitos de la fig. 2 realizado con componentes separados encapsulados formando un bloque.

La gran inmunidad al ruido de estos circuitos permite la realización de bloques con operadores temporales cuyo diagrama de secuencia y esquema de bloques se representa en la figura 3.

Como se puede observar la principal característica de este circuito, es que la salida cambia inmediatamente del estado 1 a 0 cuando la entrada conmuta del 0 al 1, y por el contrario, cuando conmuta del estado 1 a 0 la salida pasa del estado 0 al 1 después de un cierto tiempo $t = RC$ variable entre amplios márgenes modificando una resistencia y un condensador que se conectan exteriormente. Estos circuitos son de gran aplicación en controles industriales. La frecuencia máxima de funcionamiento de los circuitos bloque de tecnología resistencia-transistor está limitada aproximadamente a 50 kHz.

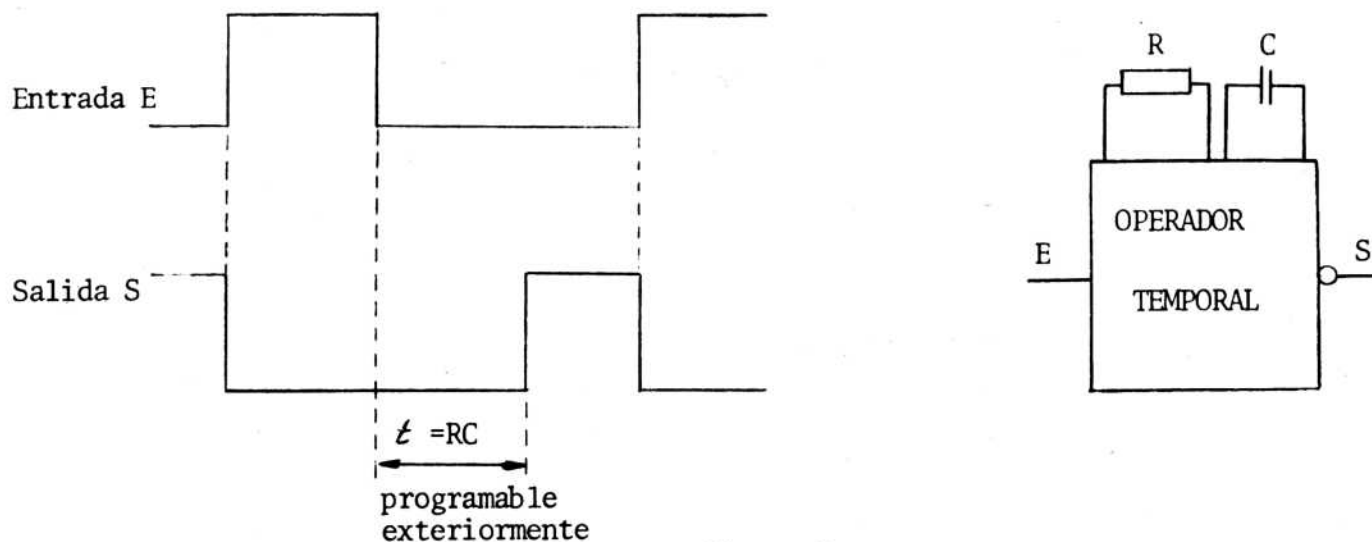


Figura 3

CIRCUITOS DIGITALES INTEGRADOS MONOLITICOS,
DIFERENTES TECNOLOGIAS.

El progreso de la tecnología de fabricación de los semiconductores ha permitido la difusión en una misma pastilla de más de un componente formando lo que se llama un circuito integrado monolítico.

Los componentes utilizados para la realización de las puertas básicas NO-Y y NO-O y la forma de conectarlos ha ido evolucionando dando lugar a diversas familias de circuitos integrados cuyas características más importantes estudiaremos en sucesivos subtemas.

Escalas de integración: pequeña (SSI), media (MSI) y grande (LSI).

La investigación continuada en el desarrollo de nuevos métodos de difusión de las tecnologías bipolares y la aparición de una nueva tecnología con transistores de efecto de campo MOS han hecho que el número de componentes que se pueden difundir en una sola pastilla de semiconductor haya ido aumentando paulatinamente.

Se comenzó integrando puertas elementales NO-Yy

NO-0 en un número de uno a seis dependiendo del número de entradas y biestables del tipo J-K ordenador-seguidor (Master-Slave), D accionado por flancos (edge-triggered) y D cerrojo (latch) (ver capítulo 11). Estos circuitos constituyen la escala de integración pequeña (SSI), denominación que engloba a los circuitos integrados que contienen, a lo sumo, unas quince compuertas.

La existencia de muchos sistemas digitales complejos normalizados tales como contadores, multiplexores decodificadores, etc. ha permitido su diseño en circuito integrado produciéndose de esta forma la aparición de la escala de integración media (MSI). Bajo esta denominación se clasifican aquellos circuitos integrados que contienen de quince a cien puertas lógicas.

Finalmente el desarrollo de las técnicas digitales en estos últimos años ha conducido a la aparición de sistemas normalizados de gran complejidad, que han sido realizados en circuito integrado y constituyen la gran escala de integración (LSI) cuya complejidad supera el centenar de puertas lógicas elementales NO-Y y NO-0.

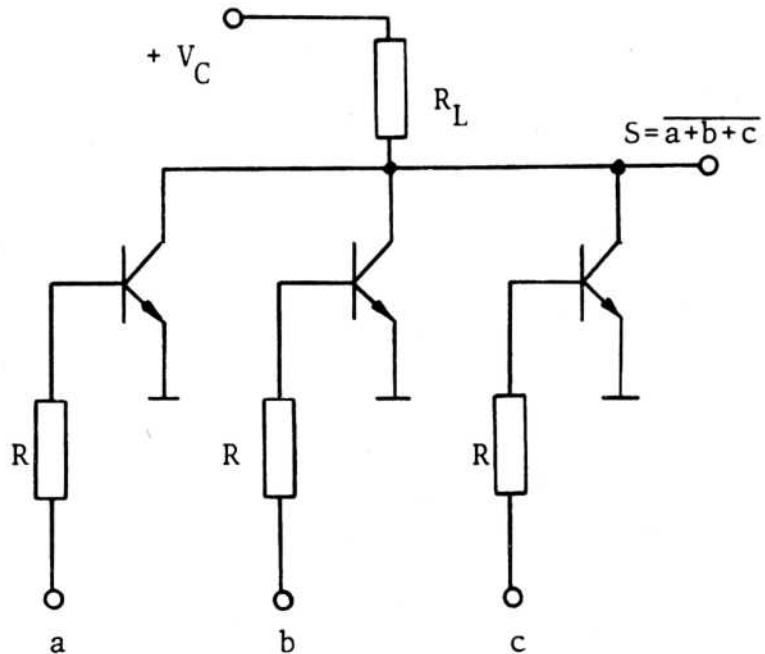
En el momento actual la tendencia es a realizar circuitos integrados de una mayor complejidad cada vez y en especial circuitos a medida para resolver problemas específicos que realizados con circuitos integrados normalizados de escalas pequeñas y media, implicarían un gran número de estos.

Circuitos integrados bipolares

Circuitos integrados de lógica resistencia-transistor (RTL). La primera tecnología diseñada en circuito integrado siguió la línea de lo realizado hasta ese instante con elementos discretos. En la figura 4 se representa el esquema de la puerta básica NO-0 (NOR) en

lógica positiva. El comportamiento de estas puertas desde

Figura 4



un punto de vista lógico es igual a la representada en la figura 2.

La diferencia tecnológica con respecto a aquella es que cada entrada posee su propio transistor y la carga R_L es común a todos ellos. De esta forma las resistencias R y R_L se pueden dimensionar adecuadamente para que el transistor se sature (con un coeficiente de saturación $K_S = 1$) y se evita el problema de sobrecarga que se explicó sucedía en el esquema de la figura 2.

Cuando a cualquiera de las entradas se aplica una tensión positiva con respecto a masa (uno en lógica positiva) el transistor correspondiente conduce y la salida se pone aproximadamente a la tensión de masa (cero en lógica positiva). Por tanto la puerta realiza la función NO-0 en lógica positiva. El lector puede comprobar que en lógica negativa esta puerta realiza la función NO-Y (NAND).

Una de las principales diferencias entre este tipo de lógica y las que estudiaremos a continuación es que una compuerta suministra corriente a las que se conectan a su salida y la limitación del número máximo de estas viene dada por la máxima caída de tensión admisible en la resistencia de carga R_L para que la tensión de salida cuando ningún transistor conduce, lleve a saturación a to dos los conectados a ella.

La máxima frecuencia de funcionamiento alcanza-da en esta tecnología es aproximadamente 5 MHz.

Circuitos integrados de lógica diodo-transistor (DTL).

En la figura 5 se representa el esquema de la puerta básica de esta tecnología. Está formada por una puerta Y (en lógica positiva) constituida por los diodos D_1 D_2 y D_3 y la resistencia R_1 y un circuito in-
versor realizado mediante el transistor T y las resis-

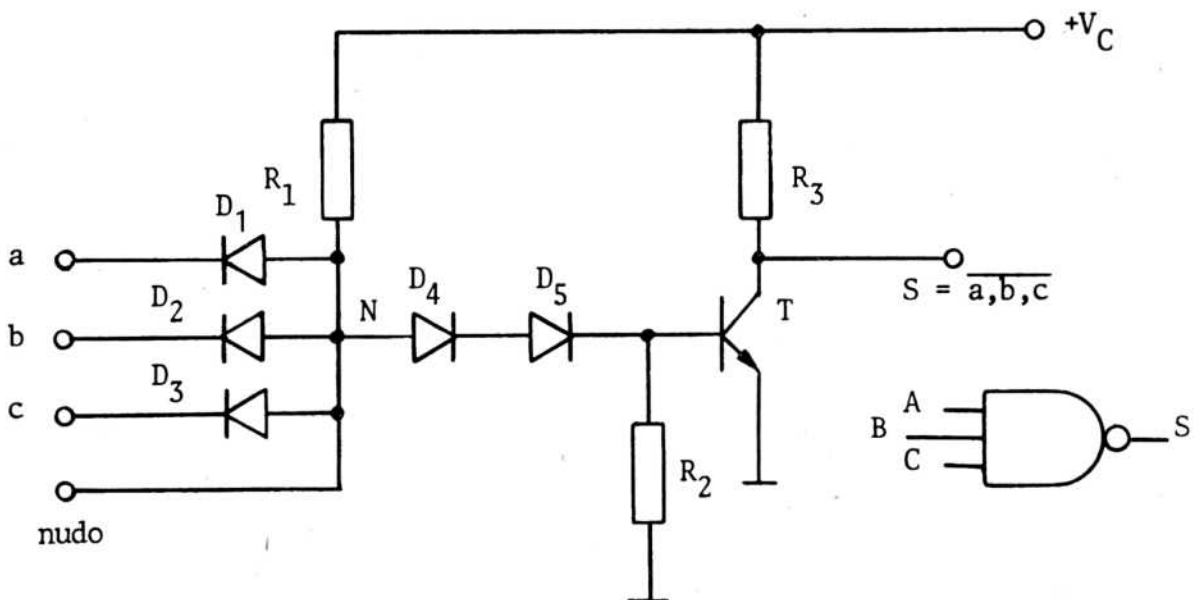


Figura 5

tencias R_2 y R_3 . El punto común a los tres diodos es accesible a fin de poder conectar exteriormente diodos y aumentar la cargabilidad de entrada del circuito.

Cuando cualquiera de las entradas de la puerta se conecta a la salida de otra puerta igual a ella cuyo transistor esta saturado, a través del diodo correspondiente y R_1 circula una corriente, y la tensión en el punto N es aproximadamente igual a la caída de tensión directa en el diodo más la V_{CE} de saturación, aproximadamente 1 voltio en total. Los diodos D_4 y D_5 crean un umbral de tensión el cual impide que, en las condiciones citadas, el transistor T reciba corriente de base, por lo que la tensión de su colector es casi igual a la tensión de alimentación + V_e . Cuando todas las entradas de una puerta están conectadas a una tensión + V_e directamente o a través de la resistencia R_3 de otra puerta cuyo transistor de salida está al corte circula una corriente a través de R_1 , D_4 , D_5 y la unión base-emisor del transistor T que lleva a este a saturación y la tensión en S toma un valor igual a V_{CE} de saturación.

Asignado el convenio de lógica positiva se comprueba que la función realizada por esta puerta es la representada en la tabla 1 que corresponde a la función NO-Y (NAND).

c	b	a	S
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

TABLA I

Fácilmente se comprueba que si se adopta el criterio de lógica negativa, esta puerta realiza la función NO-O (NOR).

El umbral creado por D_4 y D_5 permite lograr una mínima inmunidad al ruido en estado cero y en estado uno (lógica positiva) de la entrada de una puerta, igual a 0,4 V y un valor típico de 1,2 V.

La máxima cargabilidad de entrada en aquellas puertas en las que los ánodos de D_1 , D_2 y D_3 está accesible es muy elevada y supera por término medio el valor 15. La cargabilidad máxima de salida es 10.

Con esta tecnología se han logrado tiempos de propagación por puerta de 30 ns y biestables de una frecuencia típica de operación de 10 MHz.

El producto potencia-tiempo de propagación típico es de 210 mW-ns. Una característica importante de esta tecnología de circuitos integrados es el permitir la conexión directa de las salidas de dos puertas formando el montaje llamado "Y por conexión" (fig. 6). Estu

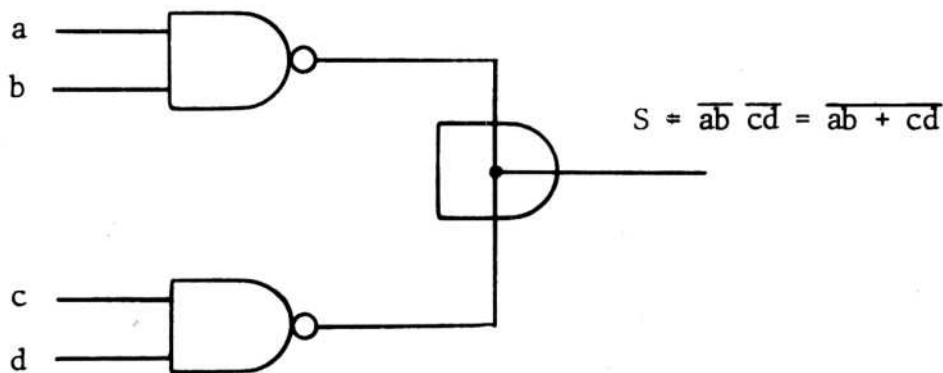


Figura 6

diando esta figura y la figura 5 se observa que en lógica positiva la función obtenida es

$$S = \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D} = \overline{A \cdot B} + \overline{C \cdot D}$$

debido a que la salida es cero cuando todas las entradas de cualquiera de las puertas es uno. Para indicar que la unión directa de las salidas de las puertas realiza la función Y se encierra en el simbolo de la puerta Y la conexión (fig. 6).

Si se conectan en esta forma puertas cuya resistencia del transistor de salida esta incluida en el circuito integrado se produce una reducción de la cargabilidad de salida en un número igual al de puertas conectadas. Para facilitar este montaje sin disminución de la cargabilidad de salida existen puertas en circuitos integrados que no llevan la resistencia R_3 (fig. 7). La resistencia R_3 ha de elegirse para cada valor del número de puertas conectadas en esta forma N y la carga-

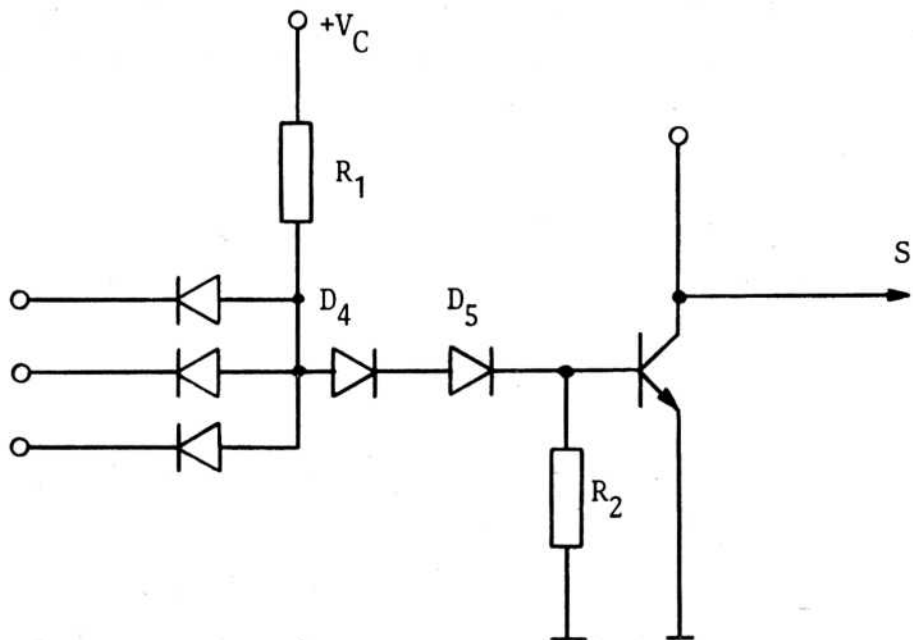


Figura 7

bilidad que se necesita M; R_3 no puede superar un cierto valor para que la tensión del uno lógico (lógica positiva) no descienda por debajo del mínimo valor admisible debido a las corrientes perdidas I_p (fig. 8) de las puertas que actúan de carga; por otro lado R_3 no pue-

de descender por debajo de otro valor para que la corriente a través del transistor T de cualquier puerta del montaje "Y por conexión" no supere el máximo valor admisible. Los fabricantes suelen dar una tabla que define el valor de R_3 para cada número N de puertas en el montaje "Y por conexión" y diferentes valores del número de puertas M que representa la cargabilidad de la conexión.

Circuitos integrados de lógica transistor-transistor (TTL).

En la figura 9 se representa la puerta básica de esta tecnología que posee una serie de innovaciones con respecto a la tecnología diodo transistor.

La puerta Y de entrada (lógica positiva) está constituida por la resistencia R_1 y un transistor multie-misor T_1 simétrico que realiza la misma misión que los diodos D_1 a D_3 de la figura 5.

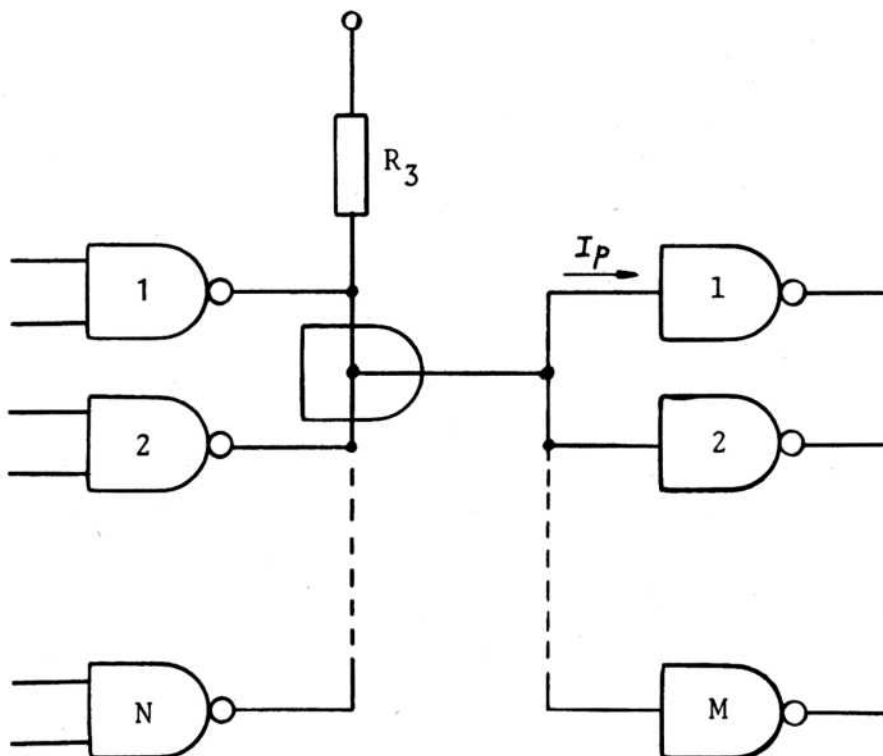


Figura 8

A continuación de esta puerta existe un transistor en montaje divisor de fase formado por las resistencias R_2 y R_3 y el transistor T_2 . Finalmente están la etapa de salida constituida por el transistor T_4 y su carga, formada por la resistencia R_4 , el transistor T_3 y el diodo D_1 .

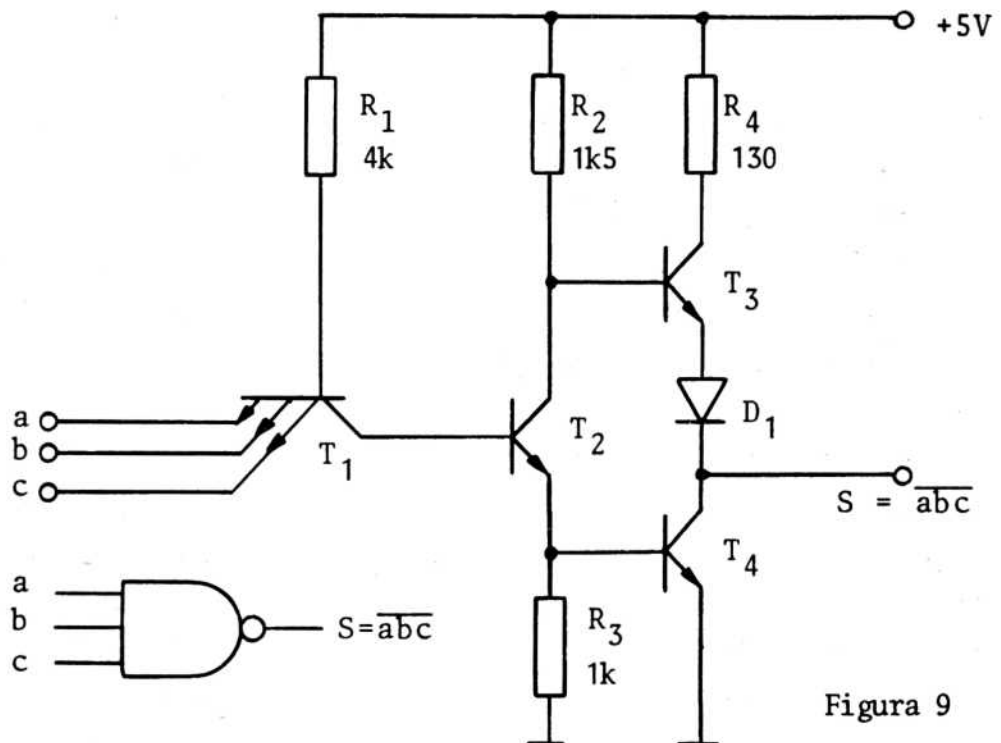


Figura 9

En líneas generales el funcionamiento de esta puerta es el siguiente; Si cualquiera de los emisores del transistor T_1 se conecta a una tensión máxima de 0,8 V (tensión máxima V_{CE} del transistor de salida T_4 de una puerta cuando está saturado), se produce una corriente a través de R_1 y la unión base-emisor correspondiente. En estas condiciones el transistor T_2 está en corte y en consecuencia lo está también el transistor T_4 ; simultáneamente el transistor T_3 recibe una corriente de base a través de R_2 , D_1 y la carga conectada a la salida S que normalmente será una o más puertas de tecnología TTL o bien una resistencia a masa (la corriente máxima que puede salir de S hacia la masa es 16 mA). Tal como observamos en la figura 9 cuando conduce T_3 la resistencia de carga es igual a R_4 es decir 130 Ω , muy inferior a la

resistencia de carga en tecnología DTL que suele ser 2,2 k Ω . Esta es la causa principal de que el tiempo de propagación de las puertas TTL sea de 11 ns, porque la constante de tiempo RC de carga de los condensadores parásitos conectados a la salida de la puerta es muy reducida.

Cuando todos los emisores del transistor T_1 se conectan a una tensión superior a 2 V se produce la conducción de la unión base-colector de este transistor y en consecuencia la saturación del transistor T_2 y el transistor T_4 . En estas condiciones la tensión en el colector de T_2 es insuficiente para hacer conducir a la unión base-emisor de T_3 debido a la existencia de D_1 . Por tanto, en estas condiciones la resistencia de carga de T_4 es de varios megaohmios. De lo dicho se deduce que la resistencia de carga de T_4 no es constante sino que vale aproximadamente 130 Ω cuando está en corte y varios megaohmios cuando conduce. Esto permita reducir enormemente la potencia disipada y como consecuencia, el producto potencia disipada-tiempo medio de propagación es tan sólo de 110 mW·ns. De todo lo dicho se deduce que en régimen estático, los transistores T_3 y T_4 no conducen simultáneamente. Cuando el transistor T_2 cambia del estado de corte al de conducción, el transistor T_4 conduce antes de que deje de hacerlo T_3 y se produce un pico de corriente

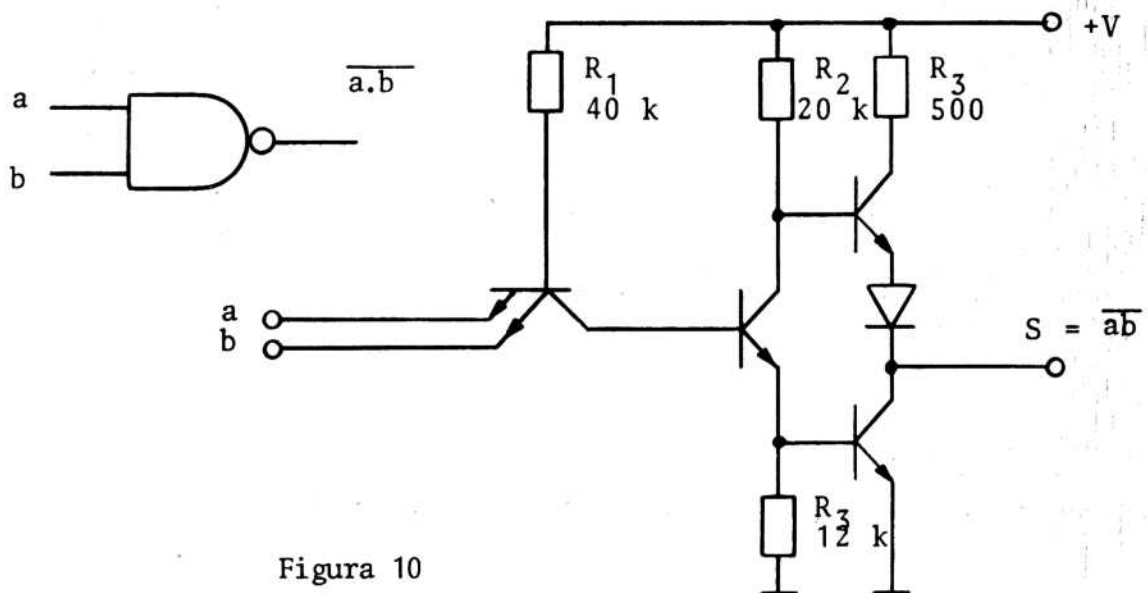


Figura 10

de duración muy pequeña (algunos ns) de aproximadamente 30 mA. Por el contrario cuando T_2 pasa de saturación al corte, no se produce dicho pico de corriente debido a que T_4 se bloquea con cierta rapidez por evacuarse su carga de base a través de R_3 y T_3 no conduce hasta que la tensión en su base haya llegado al valor necesario para lo cual ha de cargarse su capacidad de difusión correspondiente.

De acuerdo con el convenio de lógica positiva o negativa adoptado el lector puede comprobar que la puerta de la figura 9 realiza la función NO-Y o NO-0 respectivamente .

Con la misma tecnología TTL descrita se han diseñado puertas de baja potencia elevando los valores de todas las resistencias tal como se indica en la figura 10 . El producto potencia disipada-tiempo medio de propagación es igual al de la puerta normal y por tanto la

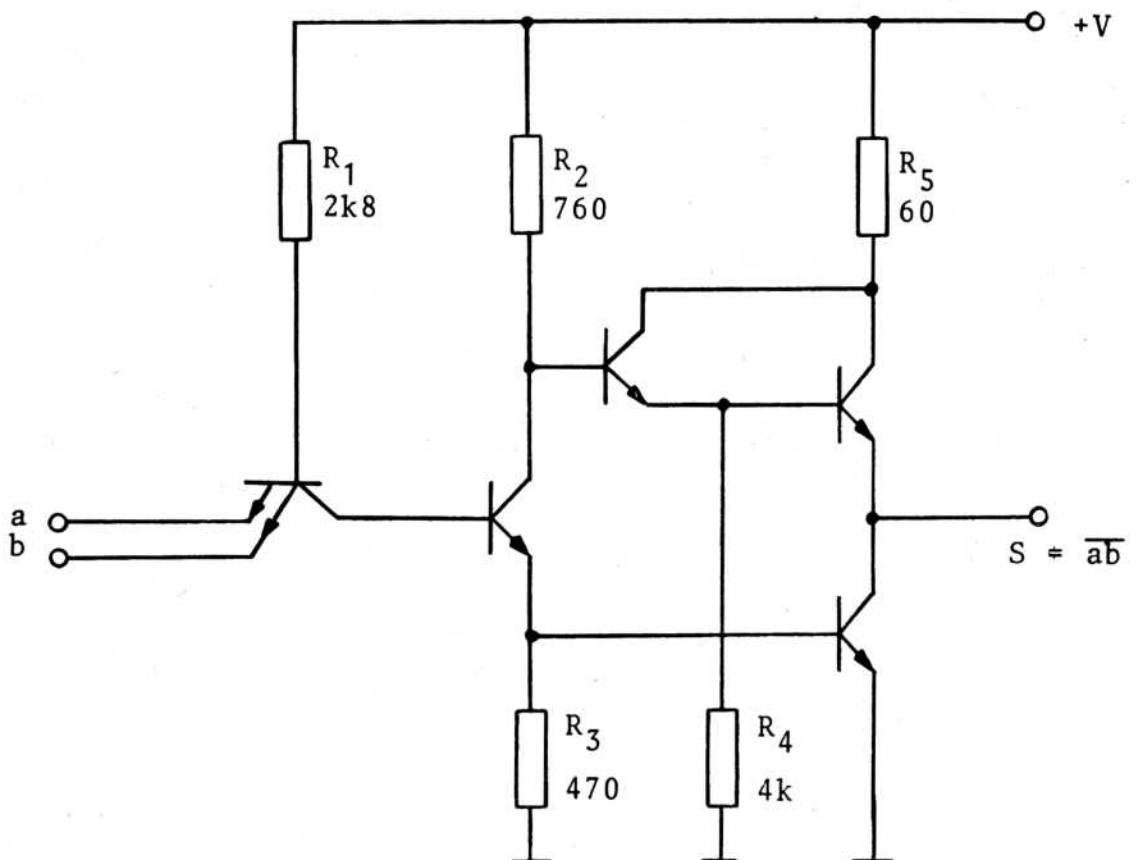


Figura 11

disminución de potencia supone una elevación del tiempo de propagación.

Igualmente se han realizado puertas de tiempo de propagación medio de 6 ns reduciendo los valores de todas las resistencias (fig. 11) con lo cual se eleva la potencia disipada.

En tecnología TTL se han realizado también las puertas básicas representadas en la figura 12 en las que existen dos transistores divisores de fase en paralelo y dos transistores de entrada cuyo colector se conecta a la base de cada uno de aquellos. El lector puede probar que asignando los criterios de lógica positiva y negativa esta puerta realiza las funciones NO-O y NO-Y respectivamente. Por tanto en tecnología TTL y adoptando un único criterio de lógica, se dispone de puertas NO-Y y NO-O, lo cual representa una ventaja para realización de los sistemas digitales con un mínimo de elementos.

Los márgenes de ruido típicos de la tecnología TTL, son iguales a los de la tecnología DTL. Sin embargo

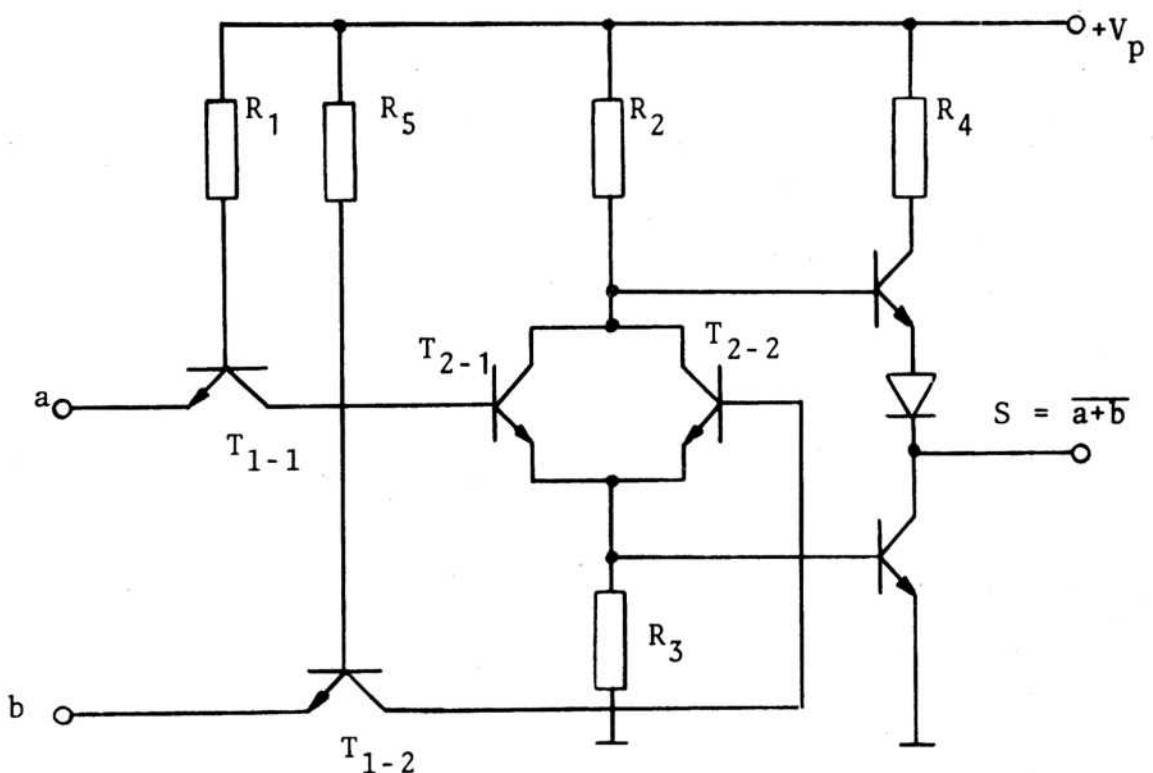


Figura 12

y como compensación al menor tiempo de conmutación, la inmunidad dinámica es más reducida.

El pequeño valor del producto potencia disipada-tiempo de propagación de esta tecnología ha motivado la realización de múltiples circuitos de escala de integración media que permiten diseñar sistemas digitales complejos con un número reducido de circuitos integrados.

Las puertas de tecnología TTL que acabamos de escribir no permiten la realización del montaje "Y por conexión" porque la salida de una puerta no puede ser conectada directamente a masa a través de un transistor saturado, debido a que en dichas condiciones la corriente a través de T_3 excede el valor máximo admisible de 16 mA. Para poder realizar dicha conexión existen en tecnología TTL puertas en las que la carga del transistor de salida

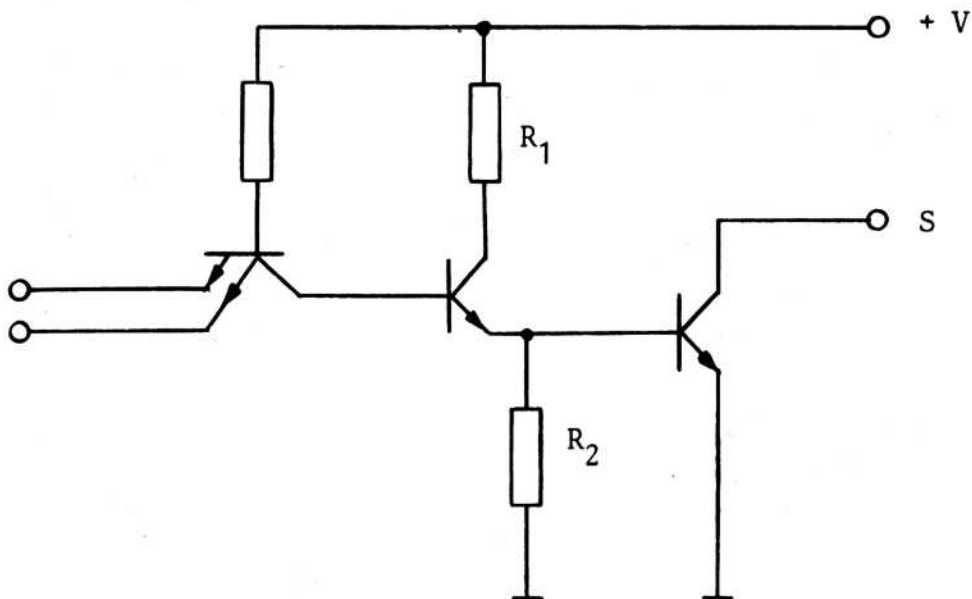


Figura 13

no está integrada tal como se indica en la figura 13

La gran desventaja del montaje "Y por conexión" en tecnología TTL es la elevación del

tiempo de propagación, lo que no era un inconveniente en DTL por ser esta tecnología mucho más lenta. Para solucionar este problema se ha modificado ligeramente la realización de la puerta básica TTL manteniendo todas las demás características de la misma y dando lugar a una nueva familia de circuitos integrados llamados circuitos lógicos TTL de 3 estados.

Tecnología de alta inmunidad al ruido (HTL).

Las tecnologías bipolares DTL y TTL estudiadas anteriormente que son las más utilizadas en la actualidad presentan el inconveniente de que su inmunidad al ruido es muy pequeña y carecen por tanto, de operadores temporales como el indicado en la figura 3.

Como su nombre indica, la tecnología de alta inmunidad al ruido presenta una inmunidad típica de 5 V, y permite la integración de operadores temporales. Esta tecnología es, pues, adecuada para aquellos casos en que las condiciones de ruido sean elevadas, especialmente en

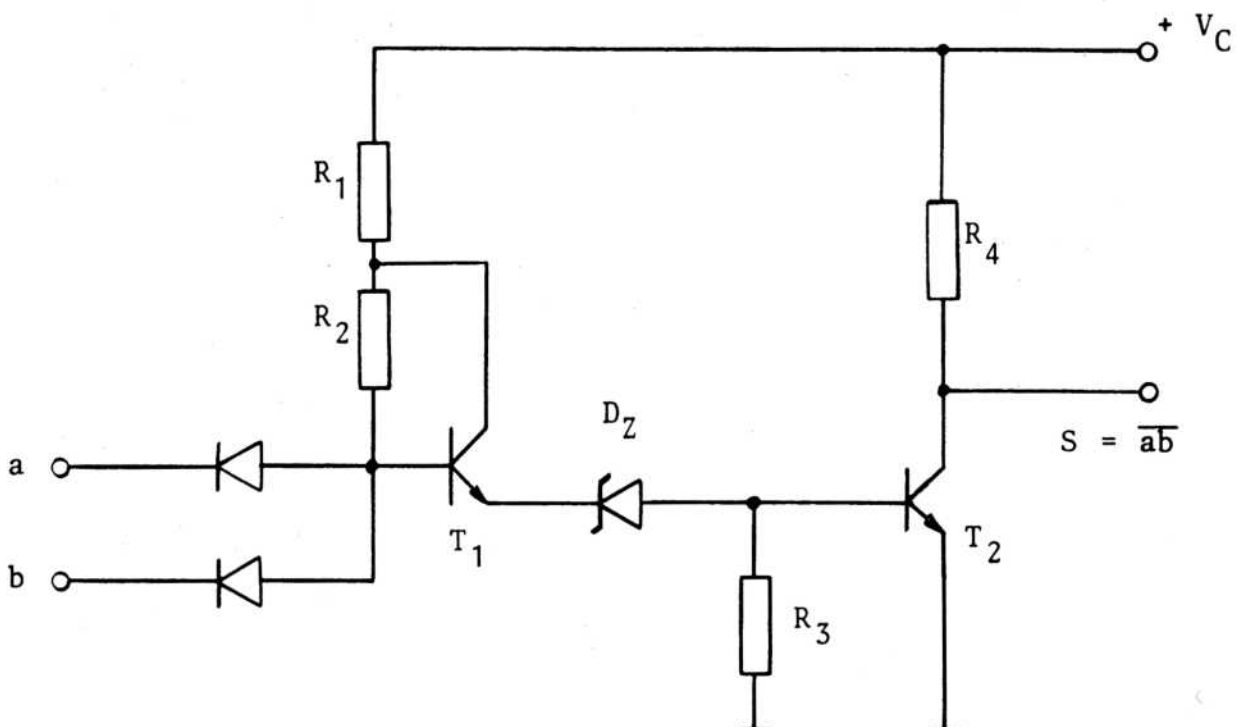


Figura 14

controles industriales de reducida complejidad, y combinada con las tecnologías DTL y TTL cuando se necesiten operadores temporales y en las partes de entrada y salida de sistemas digitales que reciben información de otros equipos.

En la figura 14 se representa el esquema fundamental de una puerta de tecnología HTL que realiza la función NO-Y en lógica positiva. Basicamente es igual a la puerta DTL representada en la figura 5 sustituyendo al diodo D_1 de aquella por el transistor T_1 y el diodo

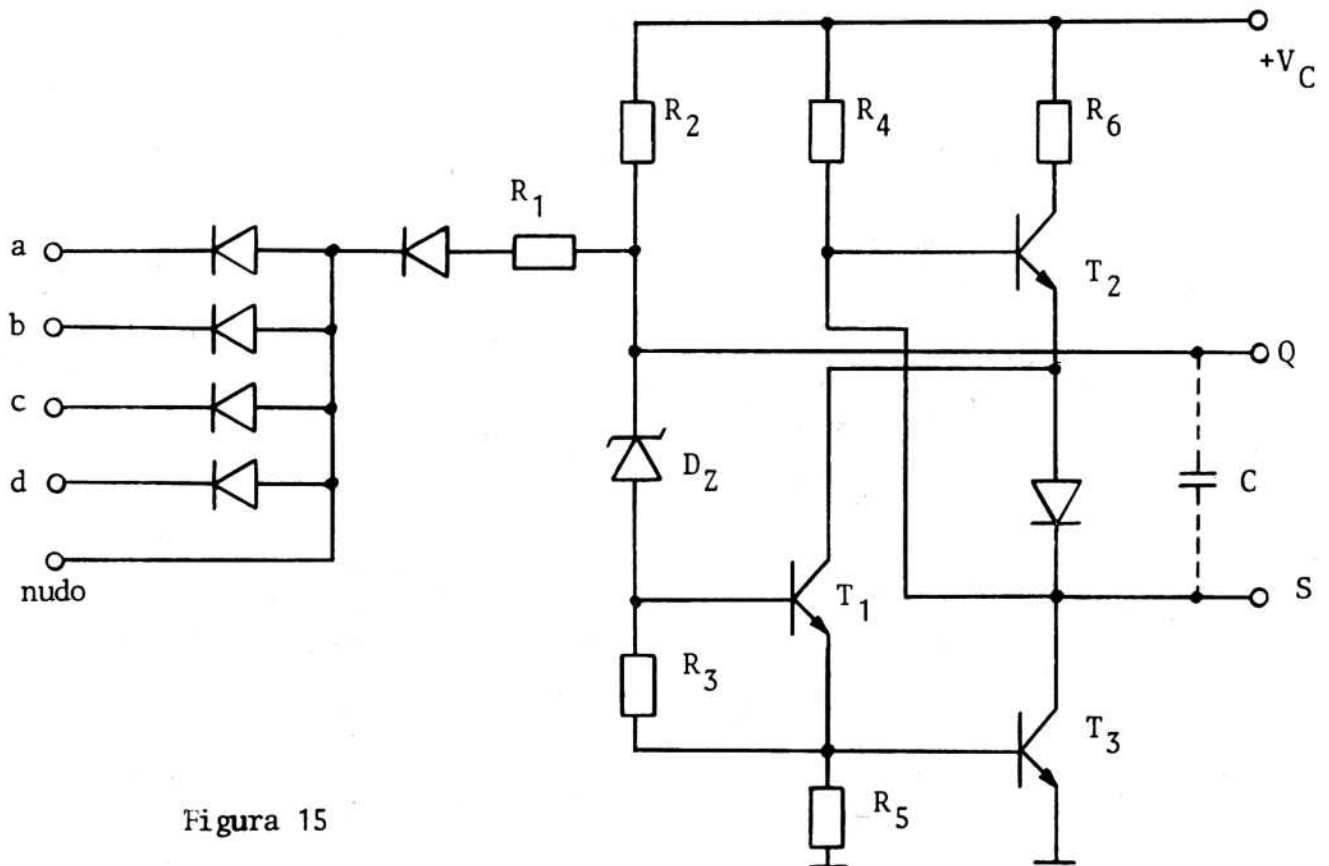


Figura 15

D_2 por el diodo zener D_Z , el cual proporciona la elevada inmunidad al ruido. En efecto si ambas A y B están conectadas a las salidas de sendas puertas cuyo transistor T_2 correspondiente está saturado, para que un ruido presente en cualquiera de ellas haga cambiar el estado de la salida es necesario que supere el valor de la tensión de zener aproximadamente 5 V. La tensión de alimentación de las puertas de esta tecnología es alrededor de los 15 V, muy

superiores a la de las demás tecnologías bipolares.

En la figura 15 se representa el esquema de una puerta más evolucionada de alta inmunidad al ruido cuya principal característica es la de tener accesible el cátodo del diodo zener D_z . Conectando un condensador entre el punto Q y la salida se puede elevar el tiempo de propagación de la puerta y por tanto incrementar la inmunidad dinámica al ruido tal como se indica en la figura 16. De esta forma el diseñador de sistemas

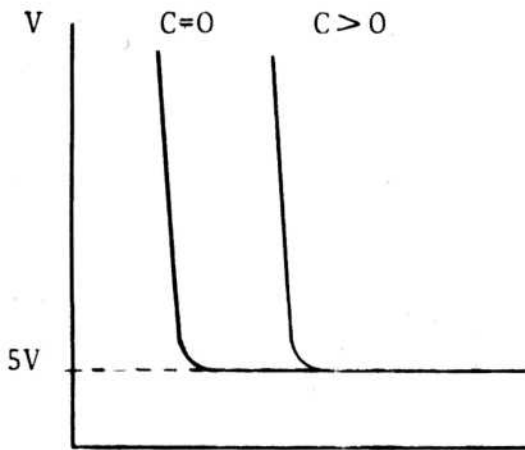


Figura 16

lógicos puede adaptar el tiempo de propagación medio de las puertas a la frecuencia de operación del montaje concreto. La máxima frecuencia de esta tecnología es de 500 kHz.

Una desventaja en el momento actual de esta tecnología con respecto a la tecnología TTL es la de poseer muy pocos circuitos integrados de escala de integración media. Por ello el diseño de sistemas digitales con ambas tecnologías conjuntamente es la solución más idónea. Los circuitos combinables del sistema, cuya inmunidad al ruido no es crítica, se realizan mediante la tecnología TTL y los circuitos secuenciales con la tecnología de alta inmunidad al ruido. Existen circuitos integrados que facilitan el acoplamiento entre ambas tecnologías.

Circuitos digitales de lógica no saturada

Los circuitos integrados bipolares en que los transistores llegan al estado de saturación tienen un límite mínimo de tiempo de propagación determinado por el tiempo de almacenamiento de los portadores de carga en la unión base-colector. En muchos sistemas digitales de cálculo que trabajan en tiempo real es necesario reducir al máximo el tiempo de propagación y esto ha motivado la aparición de los circuitos de lógica no saturada.

Para anular el tiempo de almacenamiento se han diseñado varios circuitos que han dado lugar a otras tantas tecnologías, de entre las cuales estudiaremos las de mayor difusión.

Circuitos integrados de tecnología Schottky.

La solución empleada en esta tecnología para evitar la saturación de los transistores consiste en conectar, en paralelo con su unión base-colector, un diodo (su cátodo se une al colector por ser el transistor NPN) cuya caída de tensión directa es menor que la de la propia unión.

El diodo utilizado es del tipo Schottky el cual está constituido por una unión de aluminio con un semiconductor y tiene la propiedad de que su caída de tensión



Figura 17

directa es inferior a la de una unión PN normal en 200 o 300 mV. Este diodo impide que la unión base-colector se polarice en sentido directo con lo cual se evita la saturación del transistor.

En la figura 17 se indica el símbolo representativo de un diodo Schottky. En la figura 18 a se repre

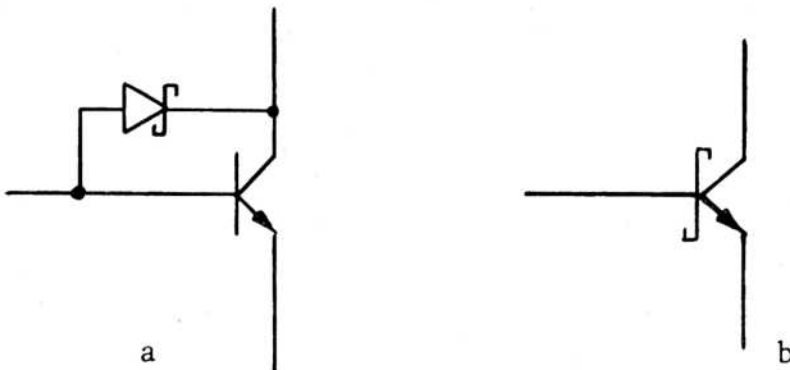


Figura 18

senta el montaje de un diodo Schottky y un transistor de silicio NPN y en la figura 18 b el símbolo abreviado de este montaje.

La puerta básica de esta tecnología se representa en la figura 19 a y, como podemos comprobar, es muy similar a la puerta de la tecnología TTL representada en la figura 19 b . Todos los transistores son del tipo Schottky excepto T_4 que nunca llega a la saturación porque a través de él solamente circulan las corrientes de pérdidas de las puertas de la misma tecnología conectadas a la salida, cuando T_5 está al corte. El montaje formado por los transistores T_3 y T_4 (fig. 19 a) es estáticamente equivalente al formado por el transistor T_3 y el diodo D_1 de la figura 19 b , pero con una mejor respuesta dinámica. El transistor T_4 aumenta la rapidez de conmutación del transistor T_5 .

La función lógica realizada por la puerta básica de tecnología Schottky es la NO-Y en lógica positiva

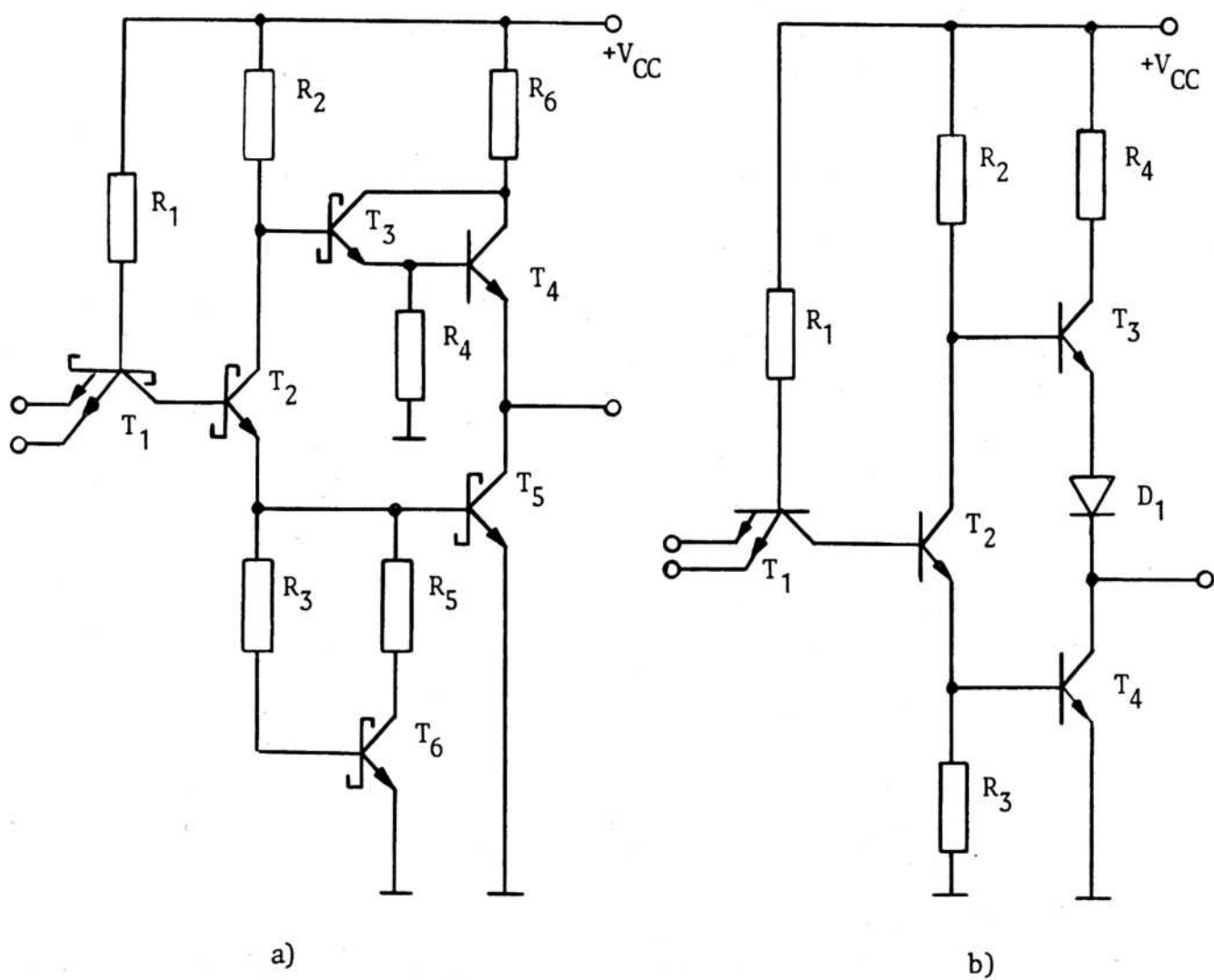


Figura 19

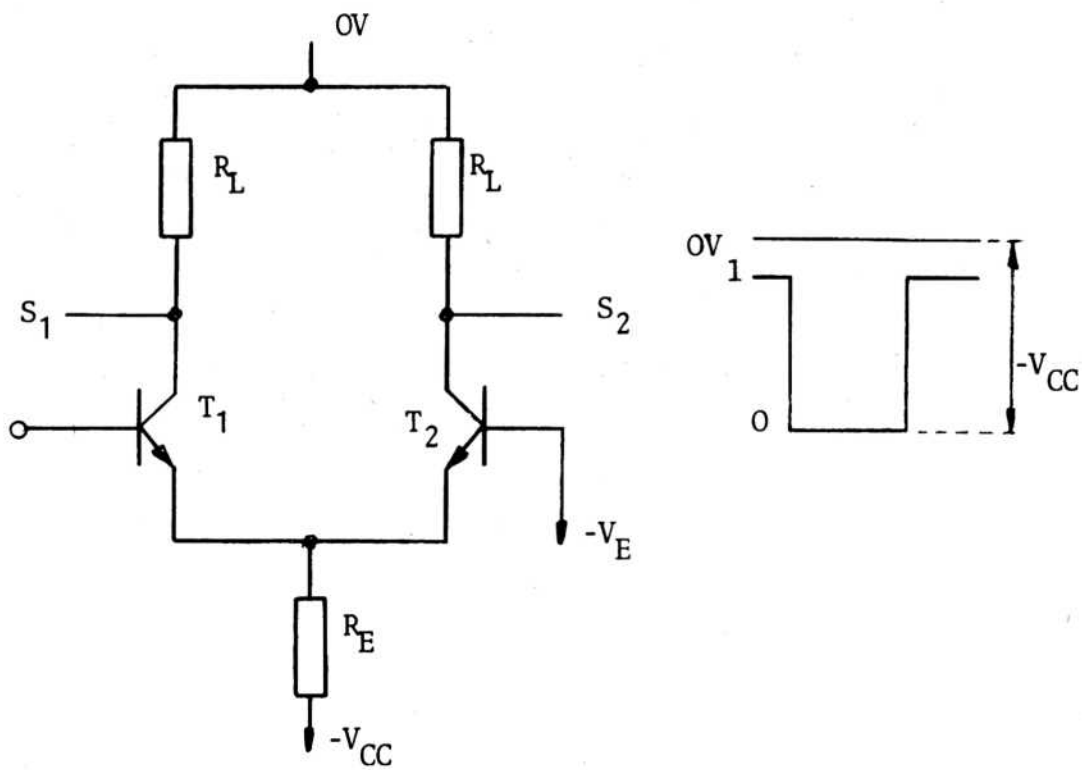


Figura 20

y NO-0 en lógica negativa. Su tiempo medio de propagación es de 3ns y la potencia media disipada es 20 mW.

Circuitos integrados de lógica de acoplamiento por emisor (ECL).

En la figura 20 se representa el esquema básico de un circuito de lógica de acoplamiento por emisor en el cual se observa que existen dos tensiones de alimentación más negativa que V_E y V_{CC} ($|V_E| < |V_{CC}|$).

Si a la entrada A se aplica una tensión más negativa que V_E el transistor T_1 no conducirá y lo hará T_2 si por el contrario, la tensión en A es menos negativa que V_E conducirá T_1 y no lo hará T_2 .

Si $R_L I_C \leq |V_E|$ los transistores T_1 y T_2 no se saturarán y de esta forma se puede lograr un tiempo medio de propagación de 1 a 2 ns. Se observa que la salida S_2 está en fase con la entrada A y que S_1 está en oposición de fase.

Los diversos fabricantes han adoptado diferentes configuraciones para la realización de estos circuitos. En general, la tensión $-V_E$ se genera a partir de $-V_{CC}$ en el propio circuito.

En la figura 21 se representa una puerta de lógica no saturada. El transistor T_4 actúa como fuente de corriente y T_3 establece la tensión de referencia de la base de T_3 . Los colectores de los transistores T_1 , T_2 y T_3 se conectan a sendos transistores T_7 y T_8 en seguidor de emisor, lo que permite obtener una cargabilidad de salida elevada y unos niveles de salida compatibles con la entrada de otra puerta de idénticas características.

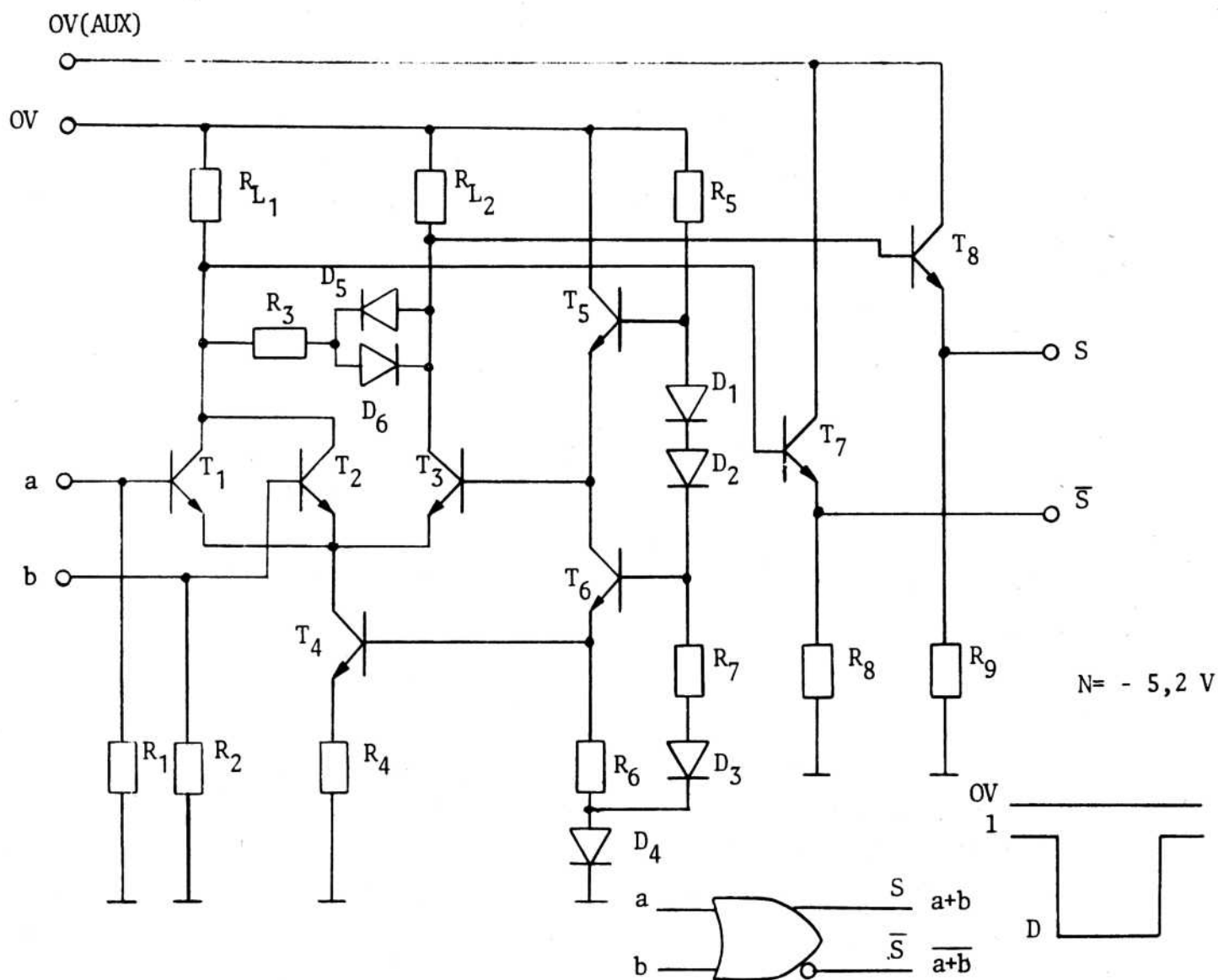


Figura 21

El terminal N se alimenta negativamente con respecto a la masa. Los dos niveles lógicos de las entradas son negativos con respecto a masa. Si ambas entradas toman el nivel más negativo, no conducirán T_1 ni T_2 y lo hará T_3 sin llegar a saturarse, con lo cual su colector se hará negativo. Este nivel se reflejará a la salida S , que es el emisor de T_8 , el cual está al corte. Por otra parte, el colector de T_1 estará al nivel de masa, lo cual hace conducir a T_7 y por tanto la salida $\bar{S}$ está aproximadamente al nivel de masa (1 en lógica positiva). Por el contrario si, cualquier entrada A o B se encuentra en el nivel menos negativo conducirán respectivamente T_1 o T_2 y no lo hará T_3 con lo cual ambas salidas cambian de estado. Adoptando el convenio de lógica positiva, esta puerta

realiza las funciones 0 y NO-0 en sus salidas respectivas. El resto del circuito genera la tensión de referencia y compensa las variaciones con la temperatura de la tensión de referencia y la tensión de salida.

Una desventaja de esta tecnología es la reducida inmunidad al ruido generado por el propio sistema y el proveniente de fuentes externas de ruido. Precisamente, para evitar la influencia de las caídas de tensión en los hilos de alimentación, se han independizado los terminales de alimentación de los transistores de salida montados en seguidos de emisor y los transistores de entrada T_1 , T_2 y T_3 (fig. 21).

Circuitos digitales con transistores MOS

La necesidad de realizar circuitos integrados digitales, cada vez más complejos, a fin de aumentar la fiabilidad y la inmunidad al ruido y reducir el tamaño de los sistemas digitales, motivó la utilización de los transistores de efecto de campo MOS.

El menor tamaño de los transistores MOS, la ausencia de difusiones aisladoras y el menor número de difusiones necesario en los circuitos MOS ha permitido obtener densidades cinco veces superiores a las de los circuitos bipolares hasta el momento presente.

En la figura 22 se representa la configuración física de un transistor MOS constituido por un cristal que puede ser de material N o P y en el cual se realizan dos difusiones de impurezas de tipo contrario. A ambas difusiones se las denomina drenador (drain) y surtidor (source) y sobre la zona existente entre ellas llamada canal (channel) se deposita una capa de óxido y sobre esta una capa metálica, que constituye la puerta o gradador (gate).

Solamente cuando el canal tiene una mayoría de portadores iguales a los de las difusiones se puede producir una corriente al aplicar una tensión entre estas.

Existen dos tipos de transistores MOS que difieren en el tipo de cristal N o P. Cuando el cristal es del tipo N, la corriente entre el surtidor y el drenador es posible cuando el canal se convierte en tipo P, y por tanto, este transistor se llama canal P. Por la

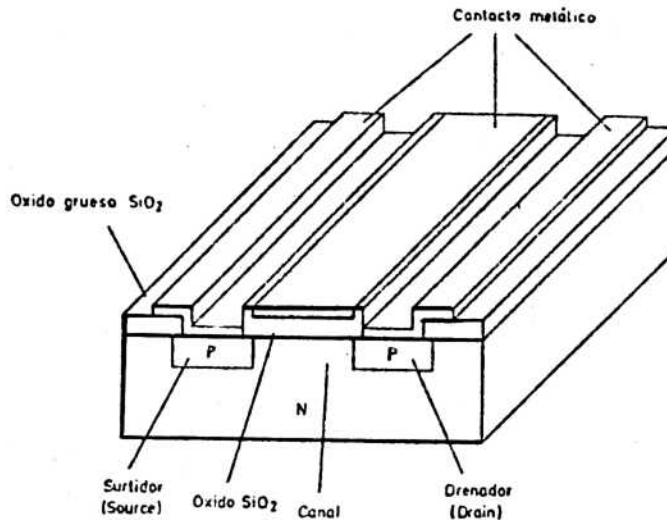


Figura 22

misma razón cuando el cristal es de tipo P, el transistor se denomina de canal N. El transistor representado en la figura 22 es de canal P.

Las condiciones de conducción o no conducción del transistor se logran aplicando la tensión correcta a la puerta con respecto al surtidor y al drenador tal como se indica en la figura 23 en la que se representa un transistor MOS de canal P.

La zona del cristal situada entre el surtidor (source) y el drenador (drain) puede estar muy impurificada.

da o enriquecida (enhancement) en los portadores de carga del sustrato o, por el contrario poco impurificada o empobrecida (depletion) en dichos portadores, lo cual

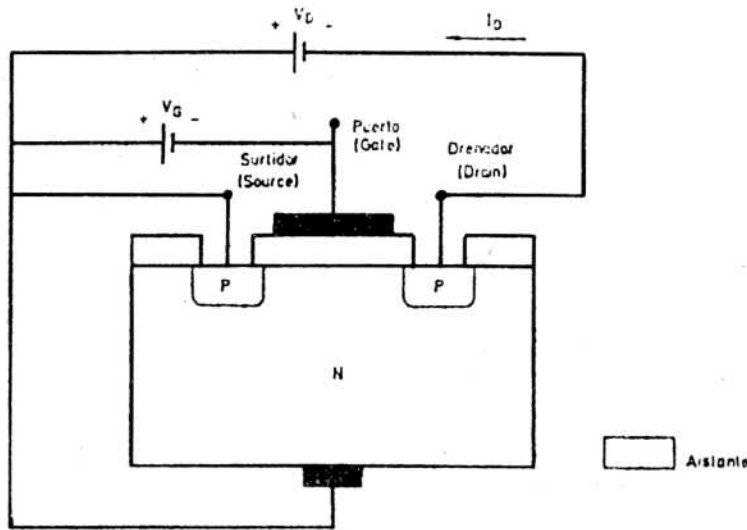


Figura 23

equivale a estar enriqueciendo en portadores de signo contrario. La combinación de esta característica con ambos canales P y N da lugar a cuatro transistores MOS diferentes. En la figura 24 se representan las características de intensidad de drenador I_D con respecto a la tensión de gradador (gate) V_G para una tensión entre drenador y surtidor constante V_{D1} de los cuatro tipos de transistores.

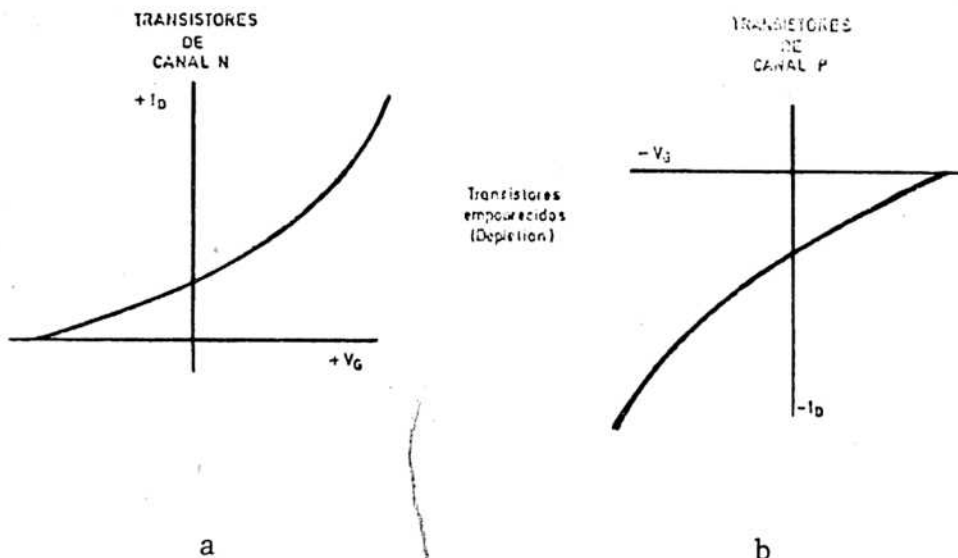


Figura 24

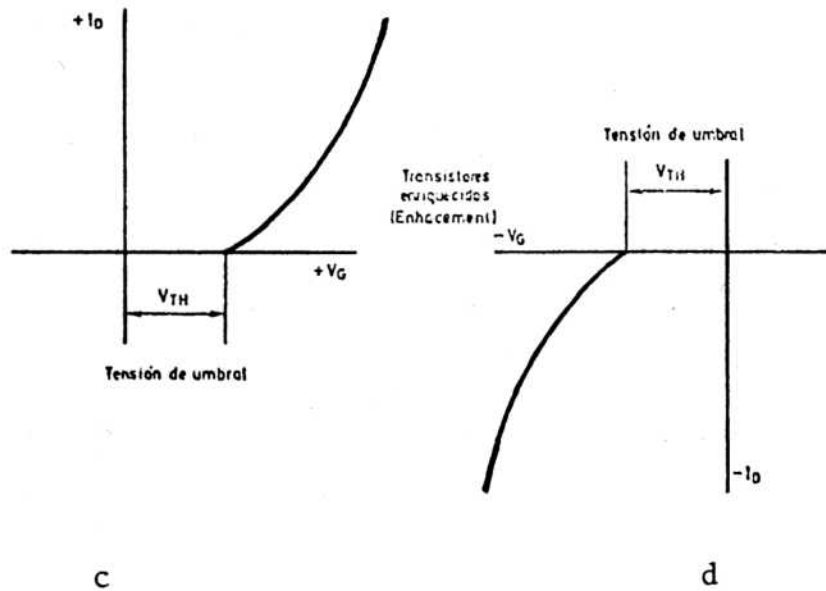


Figura 24

Analizaremos las curvas de los transistores de canal N; las de los transistores de tipo P son idénticas sin más que invertir el sentido de la corriente de drenador y la polaridad de la tensión de graduador. En ambos transistores de canal N la intensidad de drenador I_D se eleva al hacerlo la tensión de graduador porque aumenta la anchura de la zona N del canal al ser atraídos los electrones hacia él. En el tipo de canal N poco impurificado o empobrecido (depletion) la zona del canal contiene exceso de electrones en ausencia de tensión de graduador y por tanto en estas condiciones existe una cierta corriente de drenador I_D (fig. 24 a). Para anular dicha corriente es necesario polarizar negativamente el graduador con respecto al surtidor para repeler los electrones existentes en la zona del canal. Por el contrario en el tipo de canal N muy impurificado o enriquecido (enhancement) la zona del canal es de tipo P en ausencia de tensión de puerta y la corriente de colector I_D es

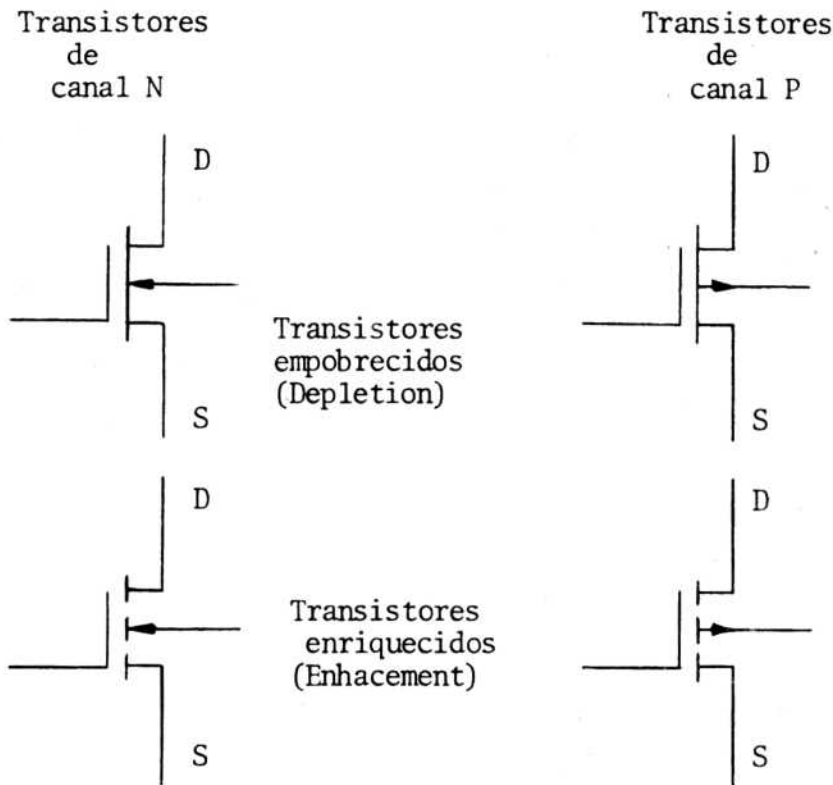


Fig. 25

nula en estas condiciones. Para que se produzca una corriente de drenador es necesario elevar la tensión de graduador por encima de un cierto valor que recibe el nombre de tensión umbral (V_{TH}) a partir de la cual la zona del canal se hace de tipo N.

En la figura 25 se indican los símbolos representativos de los cuatro tipos de transistores. El graduador se representa mediante dos líneas en ángulo recto cuyo vértice está situado más cercano al surtidor que al drenador del transistor. El tipo de canal P se indica mediante una flecha que sale de transistor y el de tipo N por una flecha en sentido contrario. En los transistores enriquecidos en que no hay conducción cuando no se polariza el graduador se indica a puntos de línea que se une el surtidor y el drenador. En los transistores empobrecidos dicha línea se representa continua porque hay conducción cuando la tensión del graduador es nula.

En la figura 26 se representa la curva caracu

terística de corriente de drenador I_D en función de la tensión entre el drenador y el surtidor V_D para diferentes valores de la tensión de graduador de un transistor-canal P enriquecido. El análisis de la figura 27 que indica la forma del canal para diferentes valores de la tensión V_D manteniendo constante la tensión de graduador V_G nos permitirá comprender el por qué de la forma de la característica I_D de la figura 26. El transistor analizado es de canal P, pero el estudio es aplicable al de canal N sin más que invertir la polaridad de V_G y V_D y el sentido de I_D

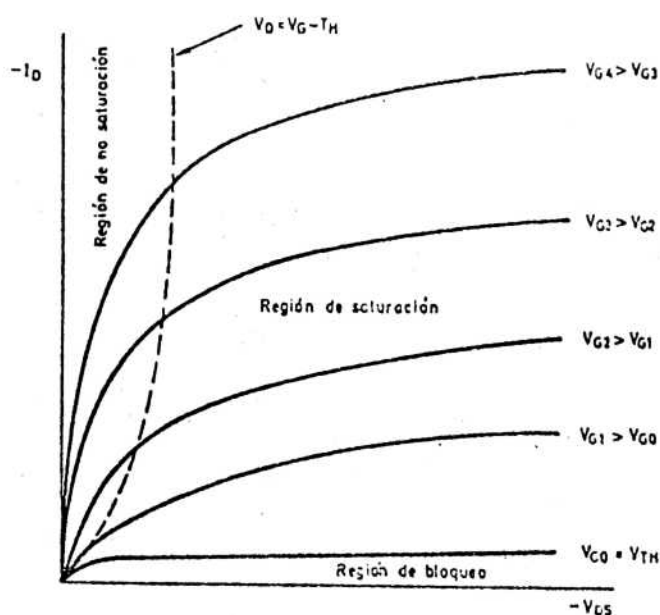


Figura 26

Si $V_D = 0$ y el valor negativo de V_G es superior a la tensión de umbral V_{TH} se forma un canal de anchura constante (fig. 27 a) y una zona poco impurificada. Si sin variar V_G comenzamos a elevar V_D en sentido negativo, el canal toma la forma de la figura 27 b y la intensidad crece; dicha forma es debida a que la caída de tensión en el canal se opone a la acción del campo producido por la tensión V_G aplicada al graduador.

Si se continúa elevando el valor de V_D en sentido negativo cuando $V_D = V_G - V_{TH}$ el canal llega a anularse en la proximidad del drenador tal como se observa en la figura 27 c en esas condiciones se pasa de la región de no saturación a la de saturación y, aunque continúe elevándose el valor de V_D la corriente permanece casi constante y el canal se reduce (fig. 27 d). La zona en la que el canal se anula es muy pequeña comparada con la distancia total entre las dos difusiones tipo P y la corriente I_D circula a través de la zona poco impurificada.

En la figura 26 se pueden distinguir tres regiones bien diferenciadas: La región de bloqueo, en la cual el transistor no conduce, es la comprendida entre el eje de abscisas y la curva de tensión de graduador V_D igual a la tensión de umbral V_{TH} .

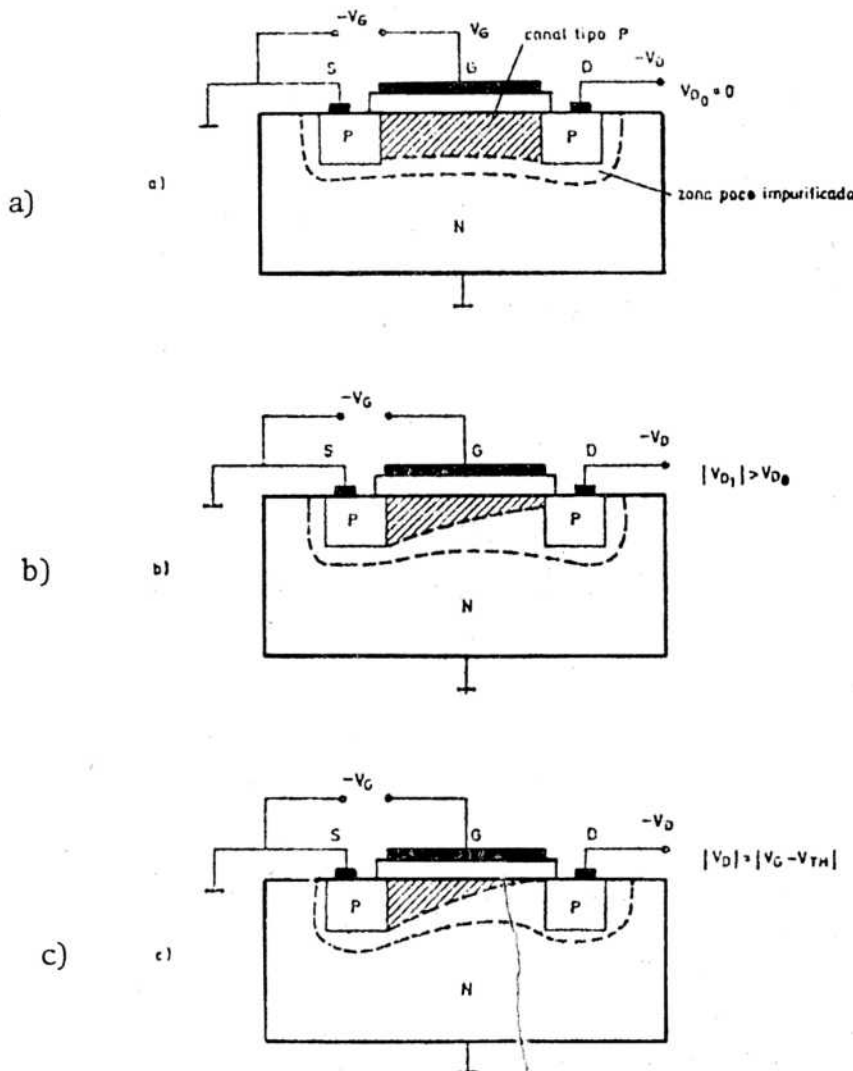


Figura 27

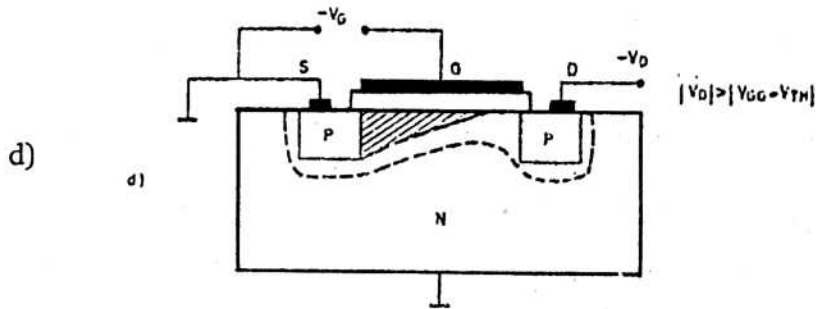


Figura 27

La región de no saturación en la que $V_D < V_G - V_{TH}$ es la que está comprendida entre el eje de ordenadas y la curva que une todos los puntos en que la tensión V_D iguala a la diferencia entre la tensión de puerta y la tensión de umbral. La región de saturación es la comprendida entre las dos curvas antes citada y en ella la corriente de drenador I_D es prácticamente independiente de la tensión V_D .

El transistor MOS puede ser utilizado en conmutación haciéndolo trabajar entre dos puntos diferenciados de su curva característica $I_D - V_D$ de una forma similar a la del transistor bipolar.

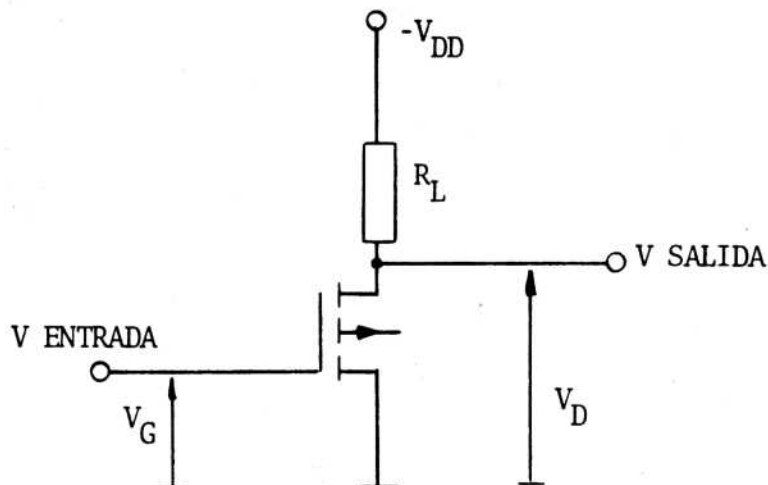


Figura 28

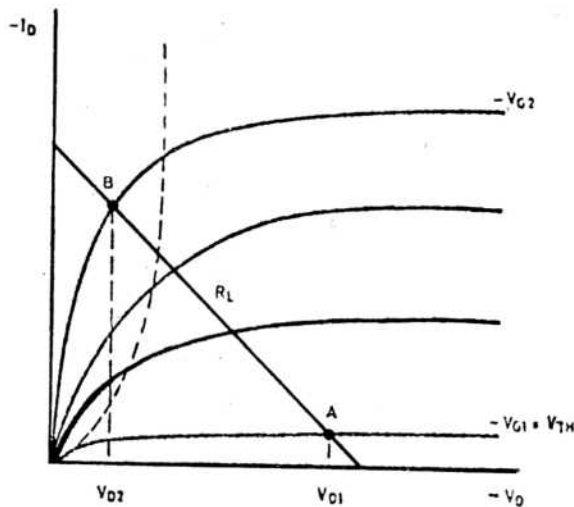


Figura 28 - Curva

El montaje más elemental utilizable es el de la figura 28 en el cual la carga del transistor MOS es una resistencia R_L . Haciendo variar la tensión de gradador del transistor entre dos valores V_{G1} y V_{G2} el punto de trabajo del transistor cambia de A a B y la tensión de salida cambia entre los niveles V_{D1} y V_{D2} . Asignando a las dos tensiones de entrada y salida, negativa y nula con respecto a masa, los dos valores cero y uno lógico se comprueba que el elemento de la figura 28 se comporta como un inversor, es decir, si hay un uno lógico a su entrada, su salida es un cero lógico y viceversa. En los circuitos que estudiaremos a continuación supondremos que los transistores son de canal P muy impurificados (enhancement) cuya utilización en la realización de circuitos integrados digitales MOS se ha desarrollado extensamente.

Este conmutador elemental no resulta realizable en la práctica porque la difusión de una resistencia ocupa una superficie muy grande en el cristal. El circuito práctico de un conmutador con transistores MOS se obtiene sustituyendo la resistencia por otro transistor MOS

tal como se indica en la figura 29 ; este transistor MOS que actúa como carga, está diseñado para tener una impedancia unas 20 veces superior a la del transistor que actúa como conmutador a fin de que la tensión de salida sea prácticamente nula cuando este conduzca.

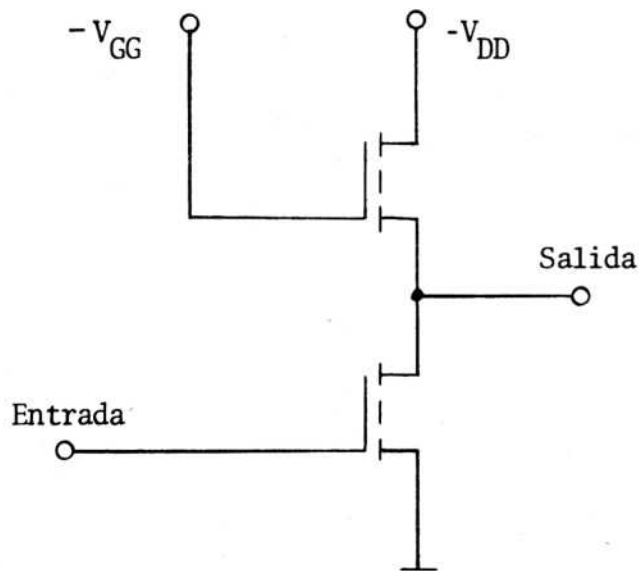


Figura 29

La tensión del graduador del transistor que actúa como carga V_{GG} puede ser igual a la de su colector V_{DD} conectando ambos directamente en cuyo caso el transistor trabaja en la región de saturación pues $V_D < V_G - V_{TH}$ según estudiamos en la figura 26 . Utilizando una segunda fuente de alimentación (más negativa que V_{DD} en el valor V_{TH}) para polarizar el graduador del transistor que actúa como carga, se lleva éste a la región de no saturación y se logra que la caída que produce cuando el transistor conmutador no conduce, sea prácticamente nula.

Combinando diversos circuitos conmutadores se pueden realizar puertas NO-Y y NO-O tal como se indica en la figura 30 . Se invita al lector a comprobar su funcionamiento.

En la figura 31 se representa la realización

física de una puerta NO-Y y NO-O tal como se indica en la figura 30 . Se invita al lector a comprobar su funcionamiento.

En la figura 31 se representa la realización física de una puerta NO-Y en lógica negativa en la cual se observa la mayor longitud del transistor que actúa como carga con respecto a los conmutadores.

Los circuitos conmutadores MOS estudiados hasta ahora actúan de una forma muy similar a los bipolares y reciben el nombre de circuitos estáticos, en contraposición con los que estudiaremos seguidamente, que reciben el nombre de dinámicos porque el graduador de los transistores que actúan como carga no está polarizado con una tensión constante sino con una onda cuadrada la cual varia entre dos niveles de tensión que hacen variar la impedancia de la carga entre un valor muy elevado de varios megaohmios y el valor nominal (20 veces superior al del transistor conmutador en estado de conducción). Para que no exista pérdida de información y salida permanezca constante e igual al inverso de la señal de entrada cuando esta se polariza al nivel de masa, es necesario

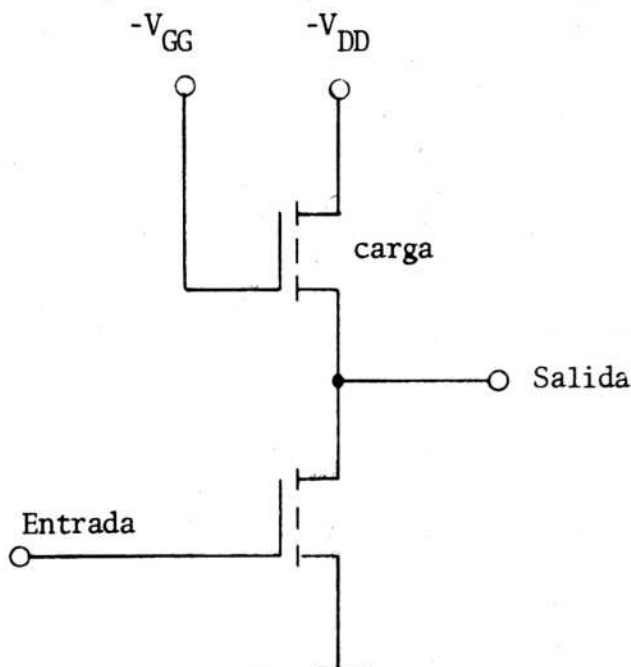


Figura 29 - inversor.

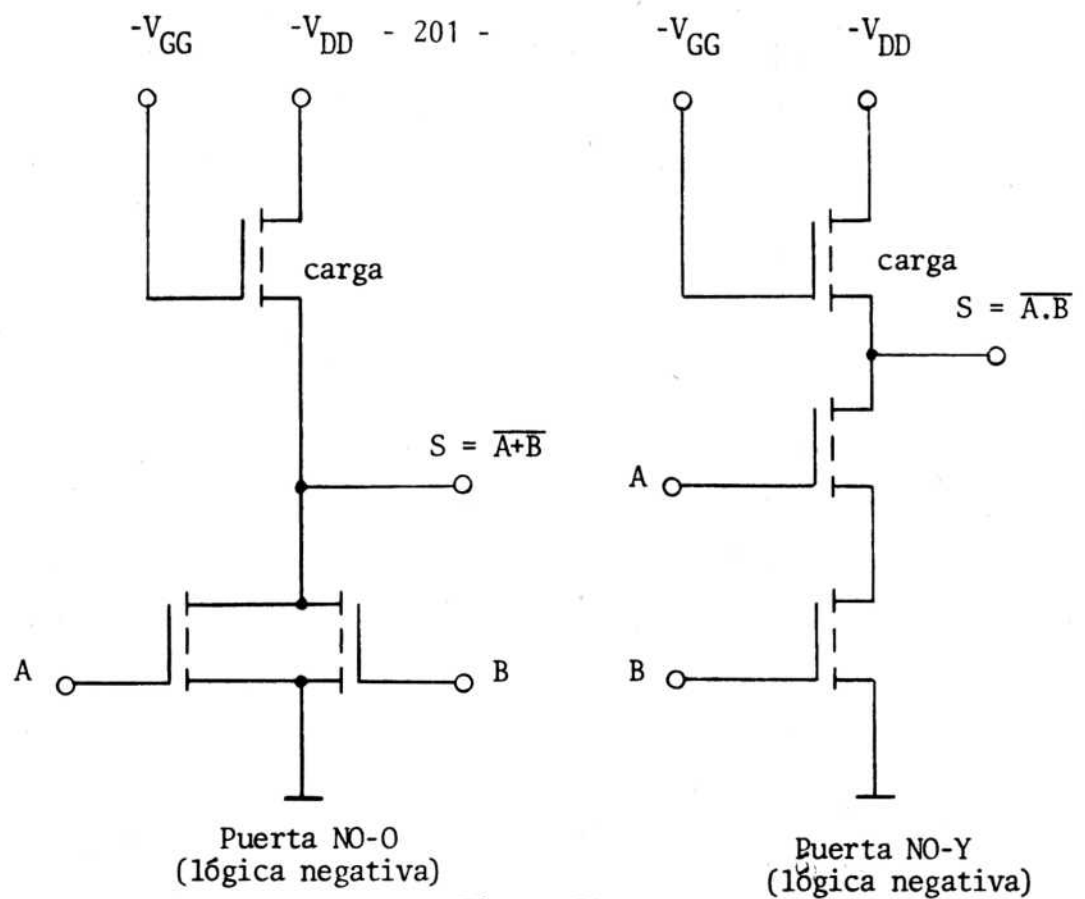


Figura 30

que la tensión correspondiente se almacene en un condensador. El graduator de un transistor MOS presenta precisamente la propiedad de ser un condensador casi perfecto con muy pocas pérdidas,

Tensión alimentación $\{-V_{DD}\}$

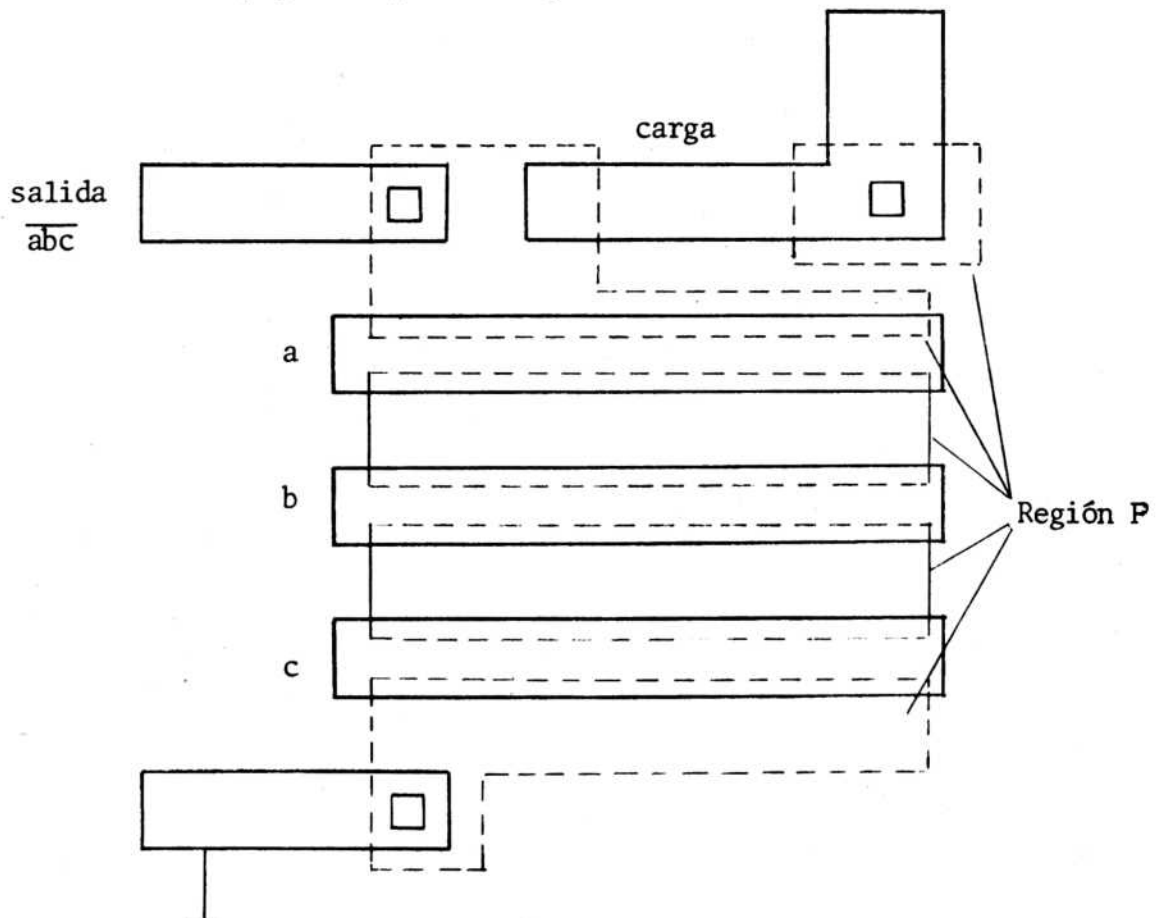


Figura 31

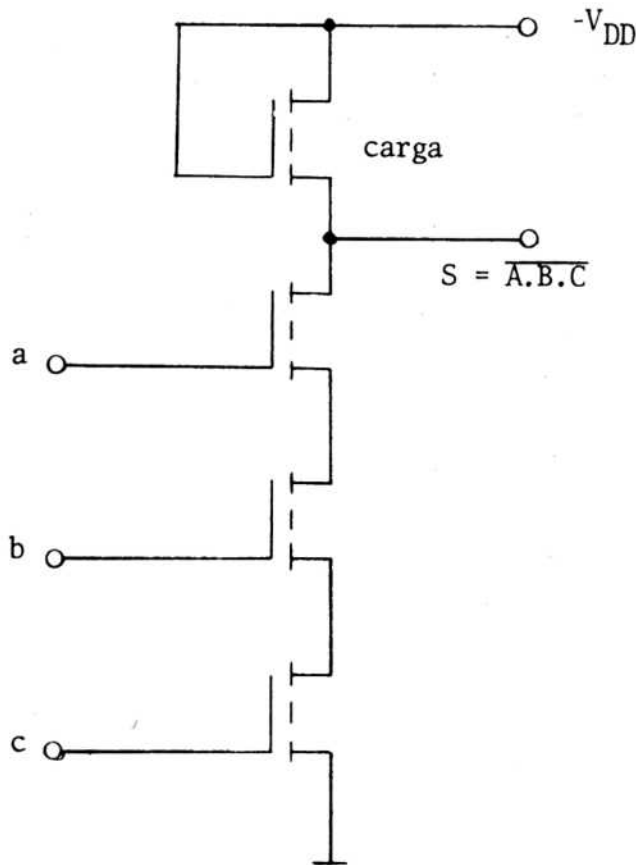


Figura 31.

y por ello, si se conecta a la salida de un inversor dinámico el graduador de un transistor MOS no existe pérdida de información si la frecuencia de la onda cuadrada aplicada a la puerta de la carga es suficientemente elevada.

En la figura 32 se representa el esquema de un inversor dinámico. El condensador indicado a la salida representa la capacidad graduador-surtidor del transistor MOS que se conecte a ella.

En la figura 33 se representa el esquema de las puertas NO-Y y NO-O dinámicas realizadas también con transistores de tipo P enriquecido.

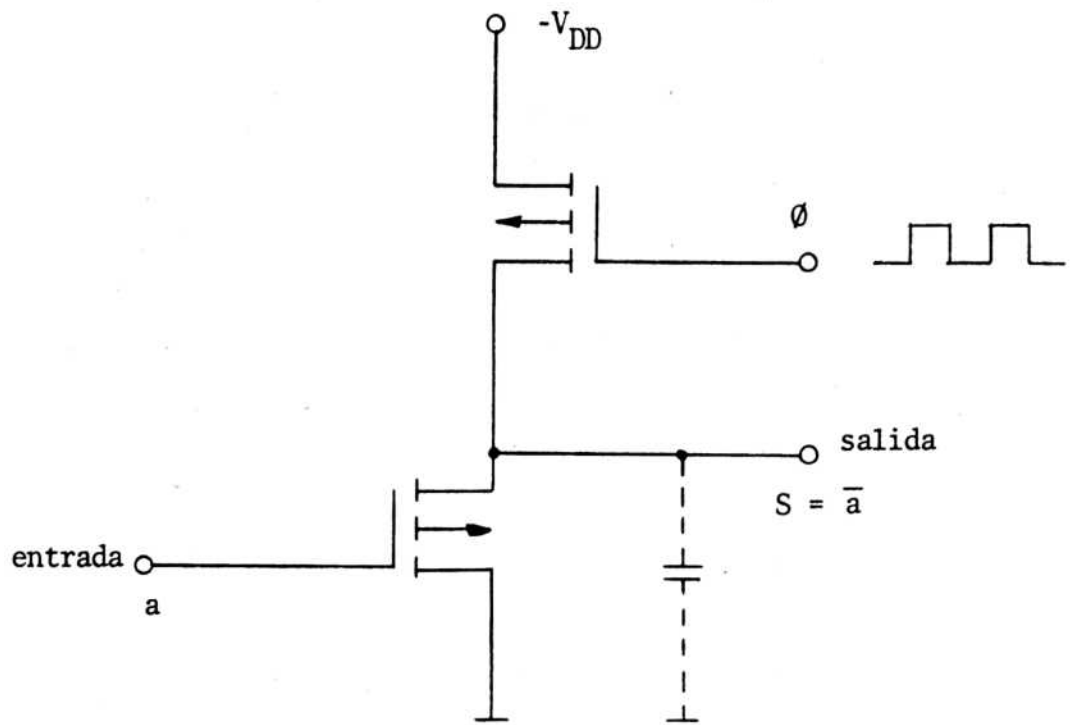


Figura 32.

La ventaja principal de los circuitos de MOS dinámicos es que la potencia consumida cuando la salida está a nivel de masa es igual a la del MOS estático

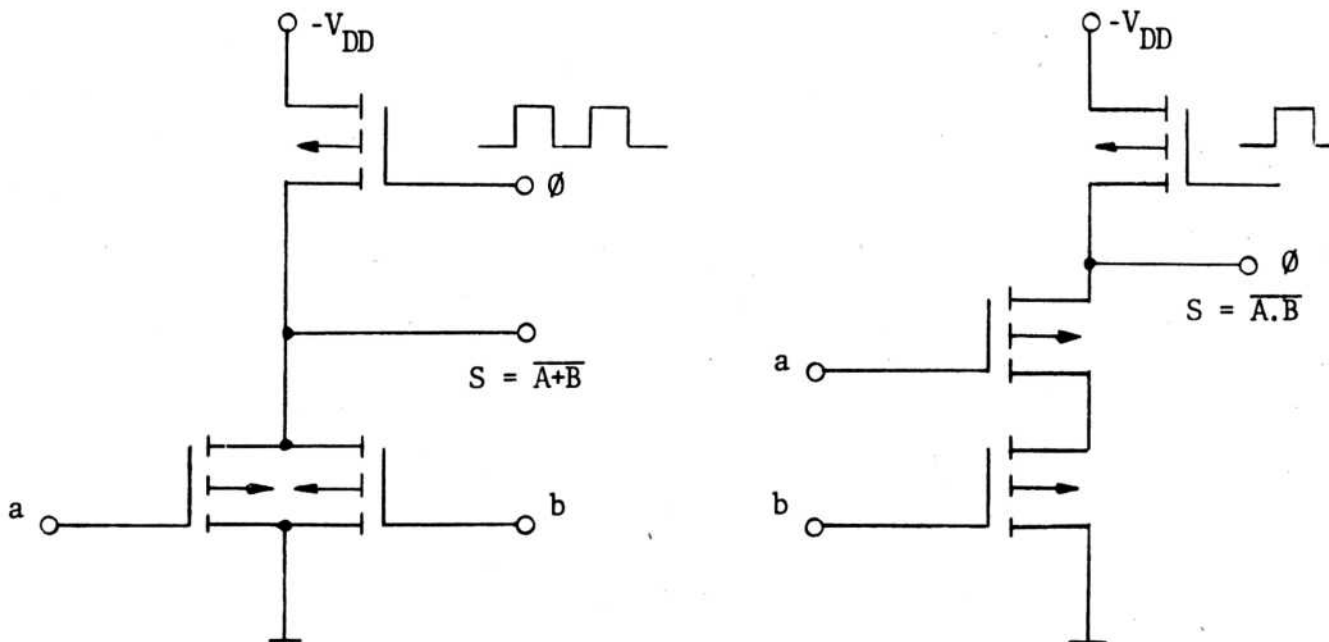


Figura 33.

multiplicada por la relación entre la parte del período que el transistor de carga conduce y el período total.

Los montajes estudiados en páginas anteriores utilizan transistores MOS de canal P solamente. La combinación de transistores de canal P y de canal N en un mismo montaje ha dado lugar a una nueva tecnología MOS denominada COS/MOS.

Expondremos seguidamente las principales características del elemento inversor básico de esta tecnología representado en la figura 34. Este circuito está formado por dos transistores, uno de canal P y el otro de canal N, muy impurificados (enhancement), cuyos drenadores y graduadores se han conectado entre sí. La entrada del circuito es la conexión común de ambos graduadores y la salida la unión común de ambos drenadores. El surtidor del transistor de canal P se polariza positivamente con respecto al surtidor del transistor del tipo de canal N.

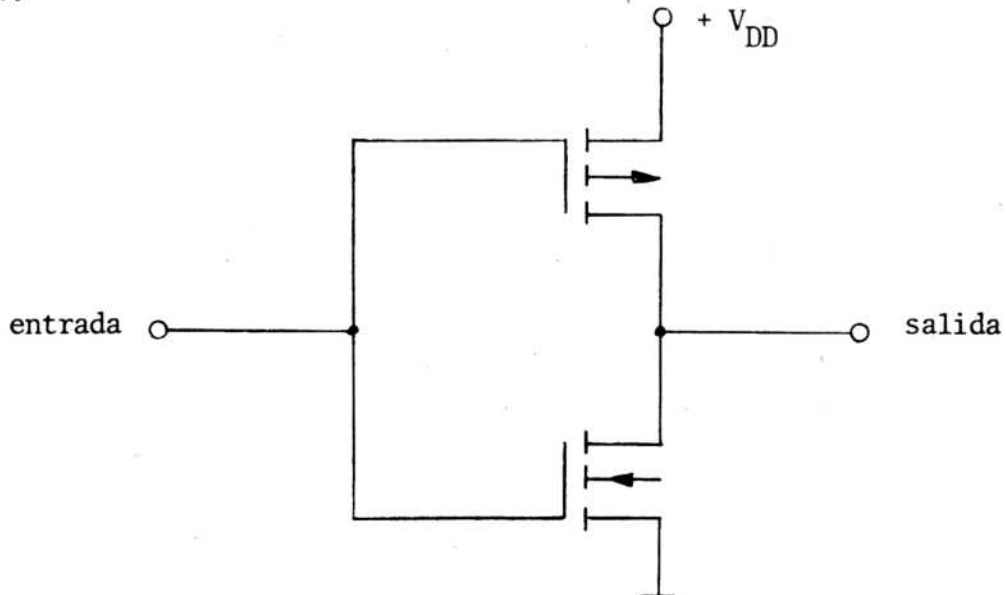


Figura 34

La tensión de los graduadores puede ser igual a cero o $+V_{DD}$ voltios. En el primer caso el graduador del transistor de canal P se polariza negativamente con respecto a su surtidor y, por tanto se forma el canal, y la impedancia entre el surtidor y el drenador es muy baja; por el contrario la tensión del graduador del transistor del tipo N es igual a la de su surtidor y por ser

muy impurificado presenta una impedancia surtidor-drenador elevada. En estas condiciones la tensión de salida es aproximadamente igual a $+V_{DD}$. En el segundo caso, es decir, cuando la tensión de los graduadores es igual a $+V_{DD}$ se invierten los estados de ambos transistores. En efecto, el graduador del transistor de canal N está polarizado positivamente con respecto a su surtidor y se forma el canal que permite la conducción entre el surtido y el drenador, por el contrario el transistor de canal P no conduce porque su graduador está al mismo nivel de tensión que su surtidor. Por tanto en este caso la tensión de salida es aproximadamente igual a cero voltios. Vemos, que el conjunto de ambos transistores se comporta como un inversor.

La principal característica de este circuito es que no conducen ambos transistores simultaneamente por lo que la potencia consumida es siempre muy pequeña pues es igual a la tensión de alimentación $+V_{DD}$ por la corriente de pérdidas de un transistor MOS (del orden de decimas de microamperios).

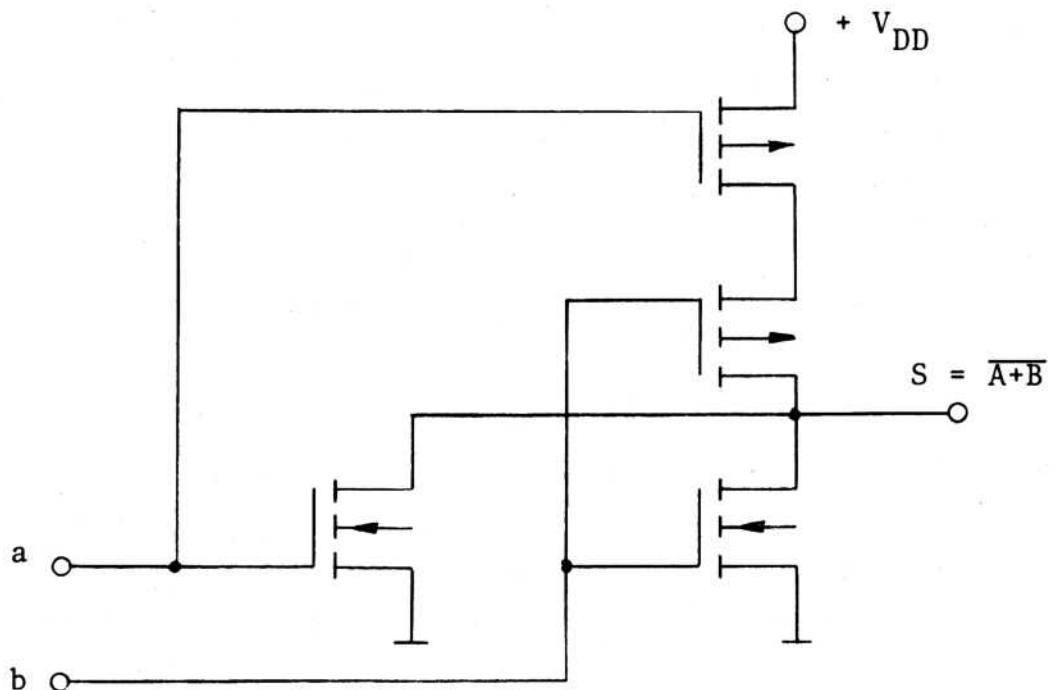


Figura 35

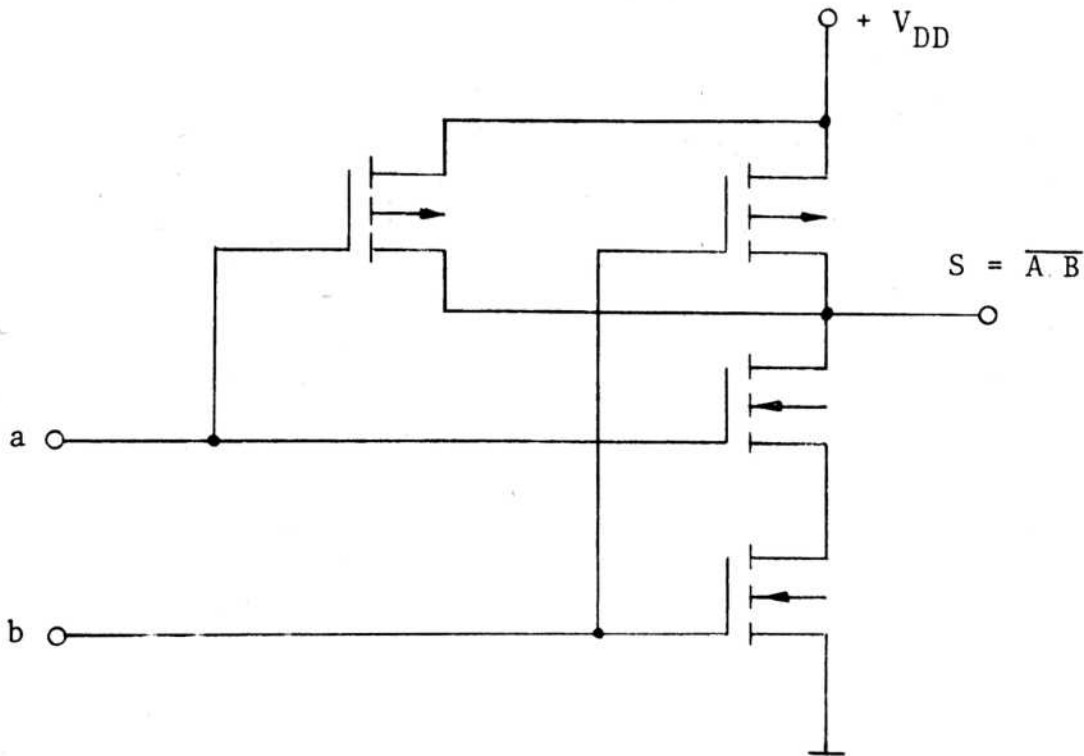


Figura 36

Otras características importantes son:

a) Utilización exclusiva de transistores MOS en la realización de las puertas, propiedad común a las demás tecnologías MOS. Esto permite lograr una gran densidad de componentes en un circuito integrado y por tanto la realización de circuitos de gran escala de integración (LSI).

b) Elevado margen de ruidos debido a que ambos transistores son del tipo enriquecido.

c) Elevada cargabilidad de salida debido a que la puerta de un transistor MOS presenta una impedancia capacitiva pura y por tanto su consumo de corriente es nulo cuando la tensión permanece constante. Esta propiedad también es común a las demás tecnologías MOS.

Las puertas NO-Y y NO-O se realizan con faci-

lidad en la tecnología MOS.

En la figura 35 se indica el esquema de una puerta NO-0 en lógica positiva de tecnología COS/MOS. Cada entrada se conecta a un transistor de tipo P y otro de tipo N, los transistores de tipo P se conectan en serie y los de tipo N en paralelo. El lector puede comprobar que los dos transistores de tipo P sólo conducen simultáneamente cuando ambas entradas están polarizadas al nivel de masa y por tanto sólo en dicha situación la tensión de salida es igual a V_{DD} .

En la figura 36 se representa una puerta NO-0 en lógica positiva de tecnología COS/MOS. Cada entrada se conecta también a un transistor de tipo P y otro de tipo N, pero en esta ocasión los transistores de tipo P se conectan en paralelo y los de tipo N en serie. El lector puede analizar el funcionamiento de esta puerta.

CIRCUITOS INTEGRADOS DE LOGICA TRANSISTOR-TRANSISTOR (TTL) DE TRES ESTADOS (TRI-STATE).

La puerta básica de esta tecnología se representa en la figura 37. Se diferencia fundamentalmente de la puerta TTL representada en la figura 11 en que las salidas de dos puertas pueden ser unidas entre sí directamente. Para lograrlo se dispone de una entrada de inhibición I y el circuito formado por las resistencias R_6 , R_7 , R_8 los transistores T_6 , T_7 y T_8 y el diodo D_1 . Cuando el nivel de tensión aplicada a I es superior a 2 V, se produce una corriente en la unión base-colector de T_6 que lleva a la saturación a los transistores T_7 y T_8 . El colector del transistor T_8 está unido a un emisor de T_1 y a la base de T_3 a través del diodo D_1 y, por tanto, su saturación hace que los transistores T_4 y T_5 estén en corte indepen-

diente del estado de las entradas a y b. En estas condiciones la impedancia entre la salida y la alimentación $+V_C$, al igual que la impedancia entre la salida y masa, son elevadas, del orden de varios megohms. Este tercer estado de la puerta (que no existe en los circuitos TTL estudiados hasta ahora) es el que da nombre a esta tecnología.

Si la entrada I está a un nivel de tensión inferior a 0,8 V, se anula la corriente base-colector de T_6 y se lleva al corte a T_8 con lo que la puerta se comporta exactamente igual que la de la figura 11 y el estado de la salida S depende de las entradas a y b.

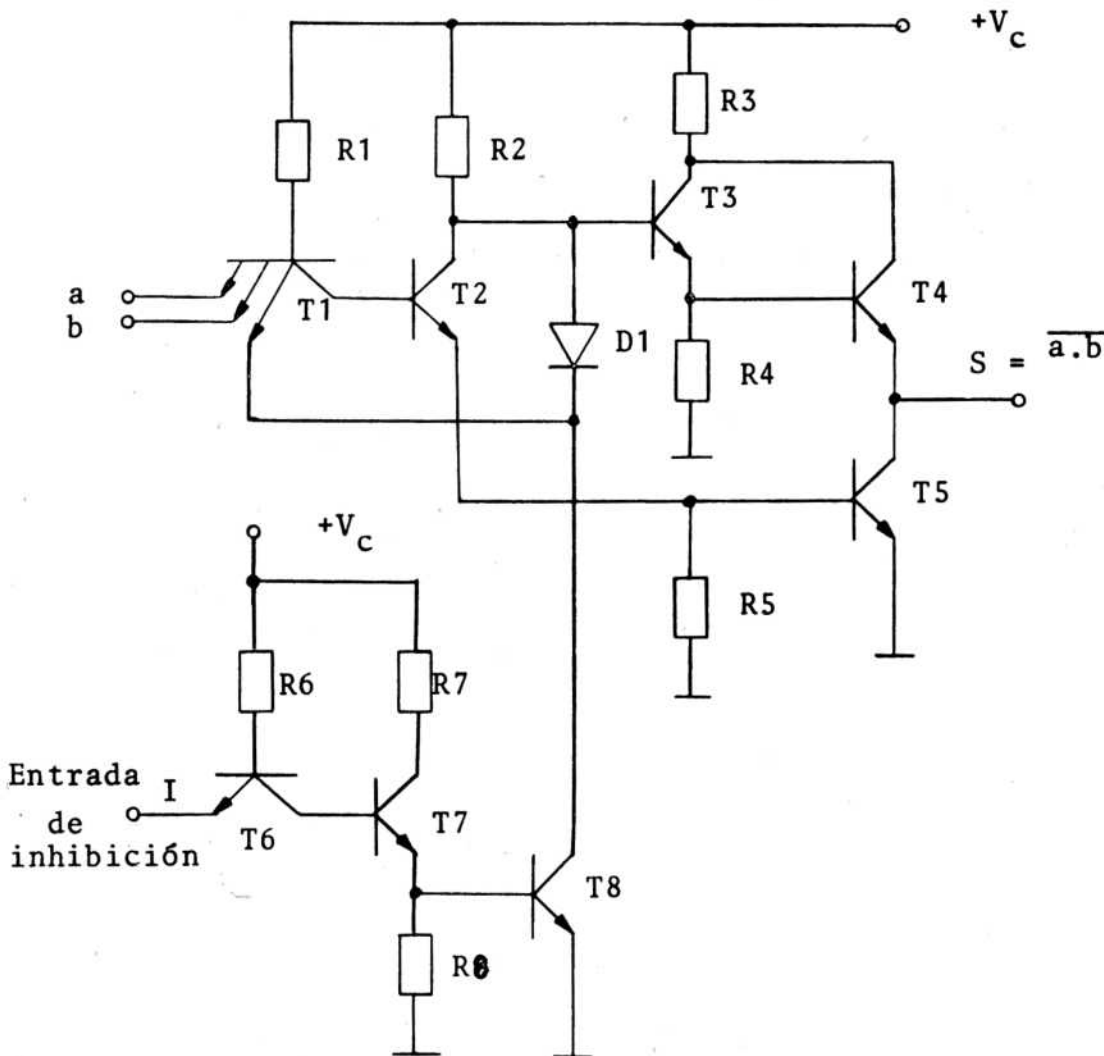


Figura 37 - Puerta de tecnología TTL de tres estados

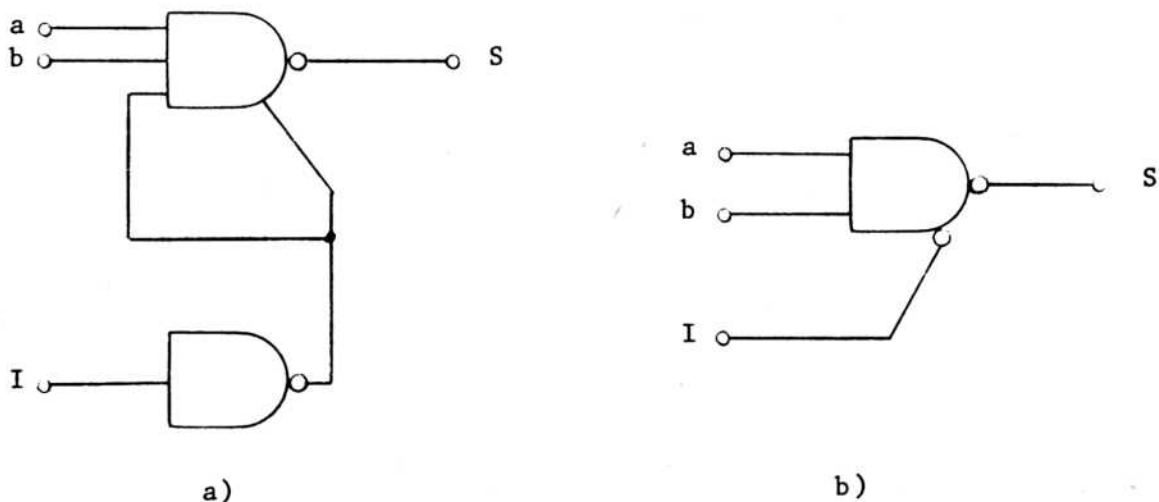


Figura 38.

El lector puede comprobar que la puerta realiza la función NO-Y en lógica positiva y la función NO-O en lógica negativa.

En la figura 38a se representa el esquema lógico de la puerta en lógica positiva y en la figura 38b el símbolo abreviado utilizado en los esquemas.

En la figura 39 se representa un esquema práctico de montaje. Sólo una de las entradas de inhibición I_1 a I_n puede estar en estado cero en cualquier instante en esta situación el estado de la conexión de todas las salidas de las puertas depende exclusivamente del estado de las entradas de la puerta cuya entrada *I* se encuentra en dicho estado cero. La máxima corriente a través de T_4 (Fig. 37) para que el nivel del uno lógico no descienda por debajo del máximo admisible es 5.2 mA y la corriente de pérdidas a través de T_5 en corte y de una entrada del transistor multiemisor T_1 es de 40 μA . Así pues, para tener una cargabilidad de salida de 3 unidades (120 μA), el máximo número *n* de puertas que se

pueden conectar entre si viene dado por la expresión:

$$5200 \mu A - 120 \mu A = (n - 1) 40 \mu A$$

$$n - 1 = \frac{5080}{40}$$

de donde resulta:

$$n = 128$$

Una de las principales aplicaciones de la tecnología TTL de tres estados es la realización de circuito de escala de integración media constituida por puertas TTL normales, excepto las de salida, que son de tres estados y por tanto pueden ser conectadas entre sí.

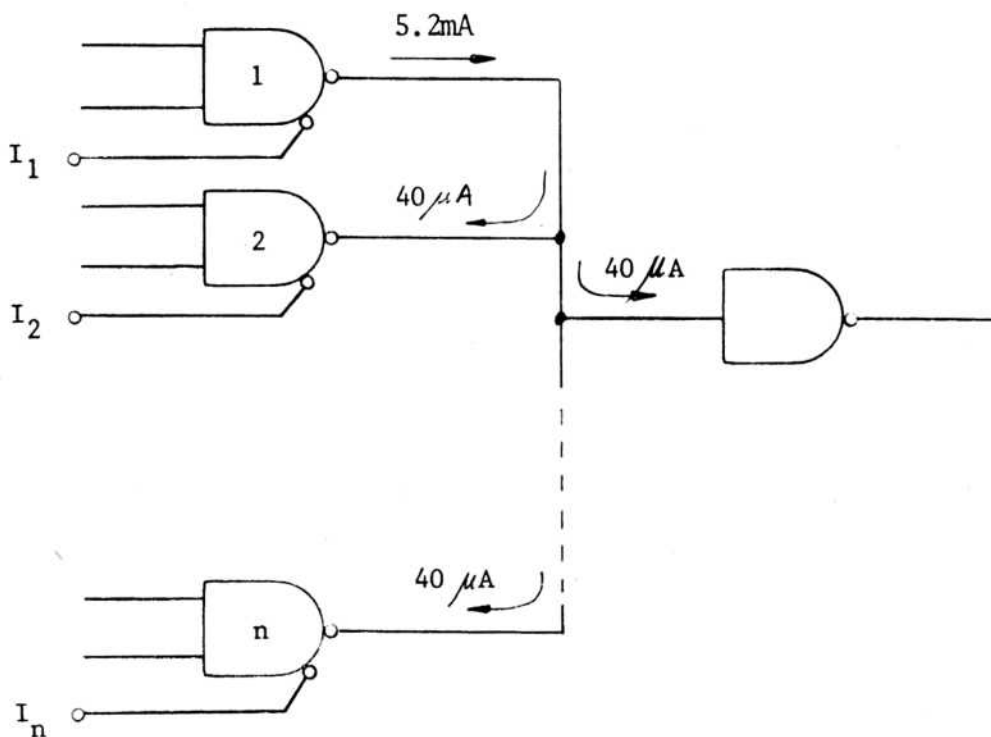


Figura 39 -

Esto permite enviar a una conexión común la información procedente de un cierto número n , de circuitos seleccionando en cada instante el circuito que la envía.

Los circuitos de esta tecnología se alimentan a la misma tensión que los de la tecnología TTL y pueden ser conectados directamente con ellos, lo cual permite diseñar sistemas digitales combinando ambas.

16 - DIFERENTES TIPOS DE DISPLAYS (INDICADORES LUMINOSOS)

16-1.- DISPLAYS DE TUBOS DE DESCARGA GASEOSA Y FLUORESCENTES.

El efecto lumínico que acompaña a las descargas eléctricas en una atmósfera de gases raros es conocido desde hace muchos años y tiene amplia aplicación en muchos procesos y artefactos de iluminación. Una aplicación similar la constituyen las lámparas Neón en general y especialmente las del tipo "buscapolos" que observamos en la figura 1. Si se aplica entre ambos electrodos de la ampolla una tensión continua de valor suficiente veremos que la atmósfera gaseosa interna de Neón de baja presión se iluminará en las adyacencias del electrodo negativo (cátodo). Este efecto es producido por la ionización del gas que a su vez permite la emisión de fotones bajo el impacto de los electrones sobre la moléculas del gas. El color de la radiación lumínica (su longitud de onda) depende del gas usado y es roja en el caso del gas Neón.

Como consecuencia de la ionización del gas se observa también una reducción de la resistencia interna de la ampolla. Tal es así que la caída de tensión entre los electrodos de la lámpara Neón es menor a medida que aumenta la corriente. Esta característica de resistencia negativa puede llevar a la destrucción de la lámpara y por lo tanto debe compensarse, conectando siempre en serie con el circuito un resistor limitador de corriente.

Para poder usar las lámparas de descarga gaseosa como display numérico es necesario darles la forma convencional de 7 segmentos y punto decimal. Estos 8 segmentos forman los cátodos de sendos diodos y están ubicados junto a un ánodo común para formar un dígito. De esta manera el diodo formado por cada segmento se iluminará con la polarización adecuada en ambos electrodos. En la figura 2 vemos como se representa cada dígito como un conjunto de 8 diodos, los segmentos, con un ánodo común. Los pulsos de excitación que se aplican a los cátodos de cada segmento no

son suficientes empero para iluminar el dígito porque su amplitud no llega a la ionización del gas. Sólo al llegar al dígito un pulso adicional en su ánodo común se iluminarán los segmentos que reciban simultáneamente los pulsos en su cátodo y en su ánodo. Para lograr este efecto es necesario respetar la polaridad de los electrodos y aplicar al cátodo pulsos negativos y al ánodo pulsos positivos. Si la tensión de ionización fuera de 50 volt podrá aplicarse separadamente al cátodo un pulso de -25 volt sin causar efecto y al ánodo un pulso de + 25 volt sin causar efecto. Recién cuando ambos pulsos coinciden en tiempo obtenemos el efecto de ionización ya que el potencial entre cátodo y ánodo será de 50 volt y el segmento pulsado (cátodo) se iluminará en el dígito pulsado (ánodo).

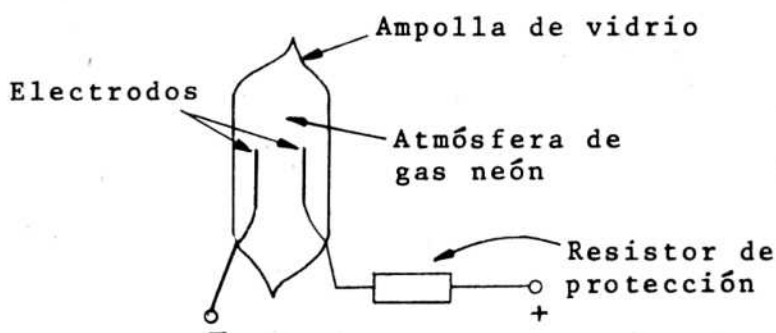
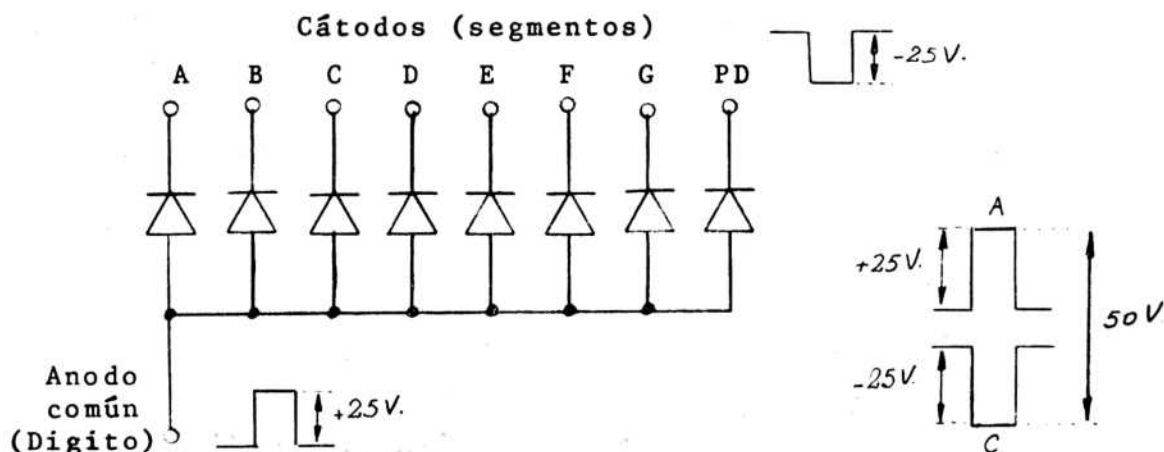


Figura 1. Lámpara Neón.



Pulso positivo solo (+25 V): no ilumina
 Pulso negativo solo (-25 V): no ilumina
 Ambos pulsos simultaneamente (50 V) ilumina

Figura 2.

La ionización y desionización de los displays de descarga gaseosa no es instantánea y por lo tanto es necesario proveer una frecuencia adecuada en el reloj no mayor que 30 kilohertz para los pulsos de excitación, el período de encendido supera generalmente los 100 microsegundos.

En la forma constructiva de los displays de descarga gaseosa existen diferentes variantes, algunas

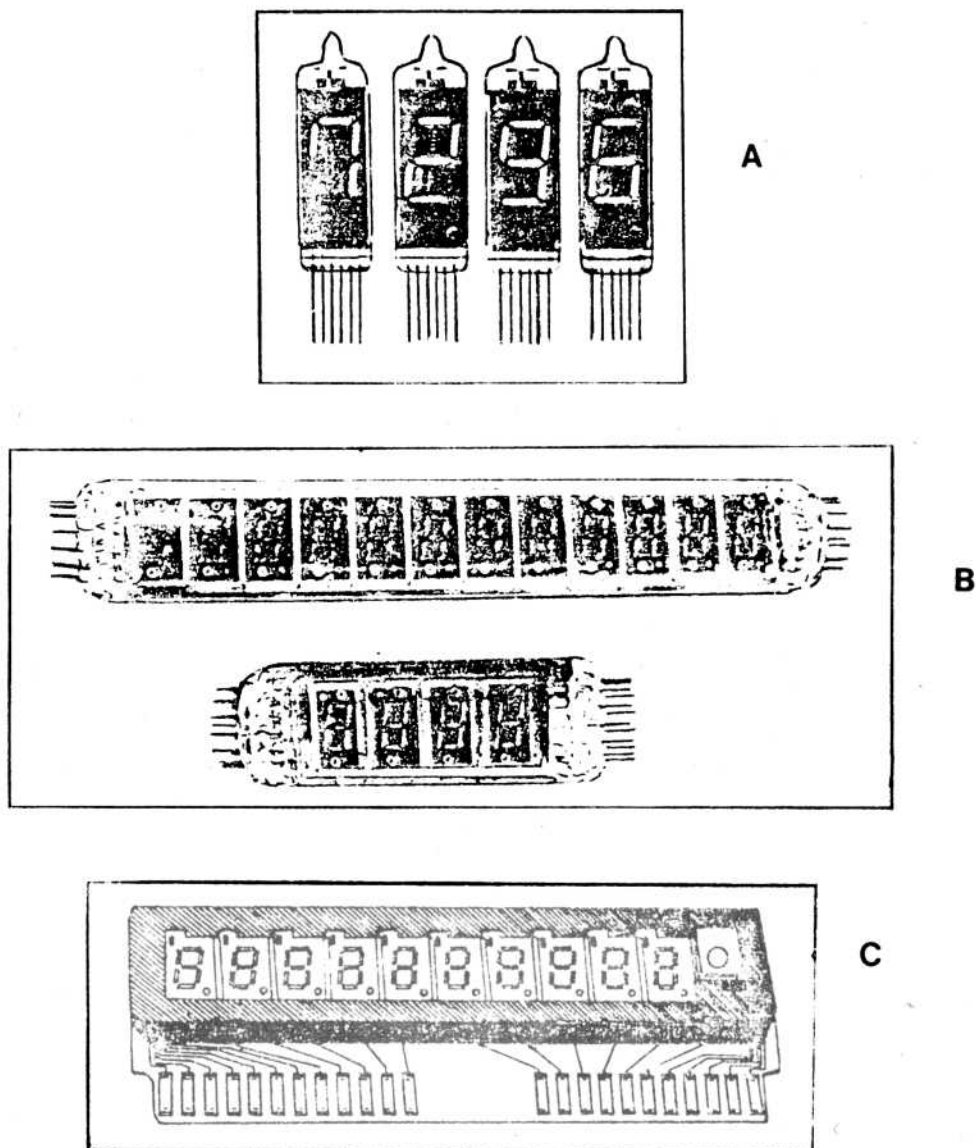


Figura 3 - Aspectos de displays de descarga gaseosa.

de las cuales se observan en la fig. 3. En la figura 3 A vemos la construcción de dígitos individuales, en la figura 3 B vemos una construcción múltiple de varios dígitos encerrados dentro de una ampolla de vidrio de forma cilíndrica y finalmente en la figura 3 C vemos una construcción plana.

Con respecto a las tensiones de alimentación cabe destacar que los tubos de descarga gaseosa requieren tensiones relativamente elevadas, del orden de los 170 a 200 volt, entre ambos electrodos. Como ya se mencionó se aplica entre los dos electrodos pulsos de amplitud positiva y negativa los cuales sumados forman la tensión de disparo o encendido. En el caso de no disponer de pulsos de esta amplitud suele aplicarse entre cátodo y ánodo una tensión de pre-polarización que por si sólo no es suficiente para iluminar el tubo, pero sumada a los pulsos de disparo llega la tensión de ionización e ilumina el tubo. Como ventaja del tubo de descarga gaseosa debemos mencionar que no se requiere para su funcionamiento una tensión de filamento ya que trabaja con un cátodo frío.

Una variante importante en la construcción de los tubos de descarga gaseosa encontramos en los displays de tubos fluorescentes. Estos tubos poseen un aspecto exterior muy parecido a los ilustrados en la figura 3 pero su construcción interna y principio de funcionamiento son completamente diferentes. Además su luminosidad es de un color azul-verdoso.

En la figura 4 vemos el aspecto típico de su construcción interna. Se nota que el principio fundamental del funcionamiento del displays fluorescente es el de una válvula termoiónica del tipo triodo. El cátodo de este triodo es de calefacción directa con el filamento

to recubierto con el material activo para la emisión. El consumo del filamento varía de acuerdo al tamaño del display pero en líneas generales funciona con tensiones de 0,7 a 1,5 volt por dígito y una corriente del orden de 40 a 100 miliamperes.

Los filamentos de todos los dígitos se conectan en serie y se refiere el negativo de la fuente de +B al centro de la serie de filamentos. Esto es conveniente para equilibrar la corriente de cátodo de todos los dígitos que en el caso del calentamiento directo circula por el filamento.

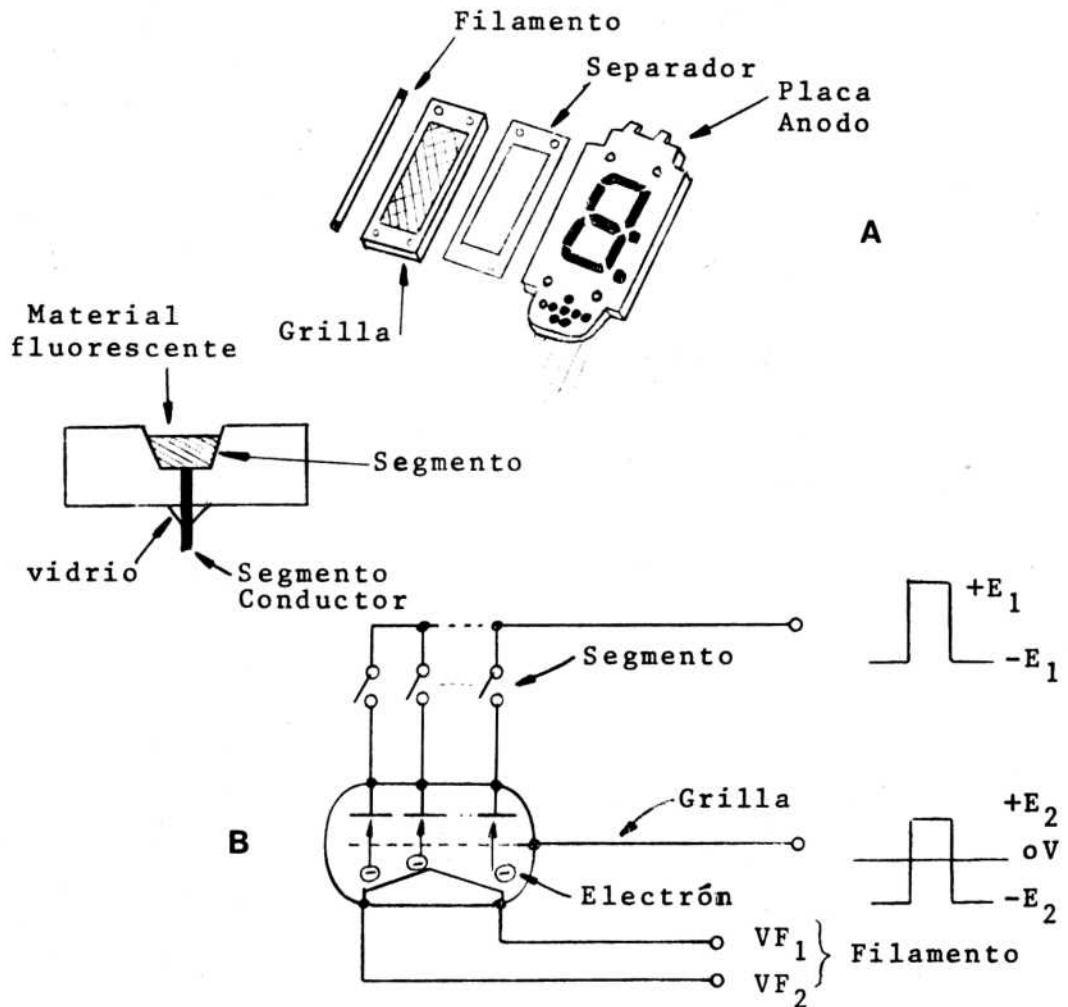


Figura 4 - Display de tipo fluorescente.

Delante del cátodo-filamento se encuentra una grilla de control compuesta de un tejido delgado de alambre, montado dentro de un marco cuyo tamaño es igual al del ánodo. Entre grilla y ánodo se encuentra un espaciador que mantiene la distancia interelectródica y confiere rigidez al conjunto. La placa aislante del ánodo posee depósitos de material fluorescente aislados entre sí y dispuestos en la conocida configuración de números de 7 segmentos y punto decimal. Al aplicar a la grilla de control un pulso positivo existe una atracción de electrones desde el cátodo y los electrones emitidos por este último llegan a la grilla por la atracción electrostática de su polaridad. Sin embargo debido a la naturaleza constructiva de la grilla los electrones no se depositan en la grilla sino por el contrario siguen su trayectoria más allá de la misma. Al aplicar ahora a los segmentos del ánodo sendos pulsos positivos aquellos segmentos que tienen esta polaridad positiva atraen los electrones que impactan sobre el recubrimiento fluorescente. Este material posee la propiedad de emitir fotones bajo el impacto de los electrones con una intensidad lumínica que es proporcional a la corriente electrónica. Se transforma por lo tanto la energía eléctrica de los electrones en energía radiante de luz visible.

Los displays del tipo fluorescente poseen la virtud de usar pulsos positivos para la activación de segmentos (ánodo) y dígitos(grilla). Esto simplifica la excitación de estos displays por medio de pulsos de igual polaridad y amplitud provenientes del circuito integrado. Además por su carácter de tubos al vacío usan una tensión de ánodo de sólo 25 a 30 volt con la consiguiente ventaja en la construcción de la fuente de alimentación, espe

cialmente en máquinas portátiles alimentados a pilas. El régimen de pulsos reduce aún más los requisitos energéticos de alimentación.

16.2. DISPLAYS DE DIODOS FOTOEMISIVOS

Los diodos fotoemisivos, también llamados "LED" del inglés "light emitting diode" ("diodo emisor de luz") se basan en conceptos conocidos desde hace muchos años pero poco aprovechados hasta hace relativamente poco. Nos referimos a la emisión de la luz desde una juntura P-N que se observó por primera vez en el año 1923 en junturas naturales. Sin embargo debido a la baja eficiencia de este proceso no se logró ninguna aplicación práctica de este fenómeno. El efecto observado se debe al hecho de que en los diodos por junturas semiconductoras del tipo P-N se encuentran en cada material de la juntura portadores mayoritarios y minoritarios que al combinarse liberan energía. Los portadores mayoritarios de un material "N" son los electrones, empero en este mismo material existen también pequeñas cantidades de lagunas como portadores minoritarios. En el material "P" los portadores mayoritarios son las lagunas y las minoritarias son los electrones. Por su misma naturaleza de cargas opuestas es muy común que se produzcan recombinaciones de ambos en cada uno de los materiales P y N. Esta recombinación libera una cierta cantidad de energía hacia otros portadores y esta energía puede manifestarse como energía térmica, kinética o luminosa.

La forma más común de inyectar portadores en una juntura P-N es por medio de una polarización directa del diodo formado alrededor de esta juntura, tal como se ilustra en la figura 5. La figura 5 A indica el diodo sin polarización externa con su barrera de juntura que impide la recombinación de portadores en escala apreciable a través de la barrera. Por tal motivo se considera esta barrera de la juntura como equivalente a una batería que

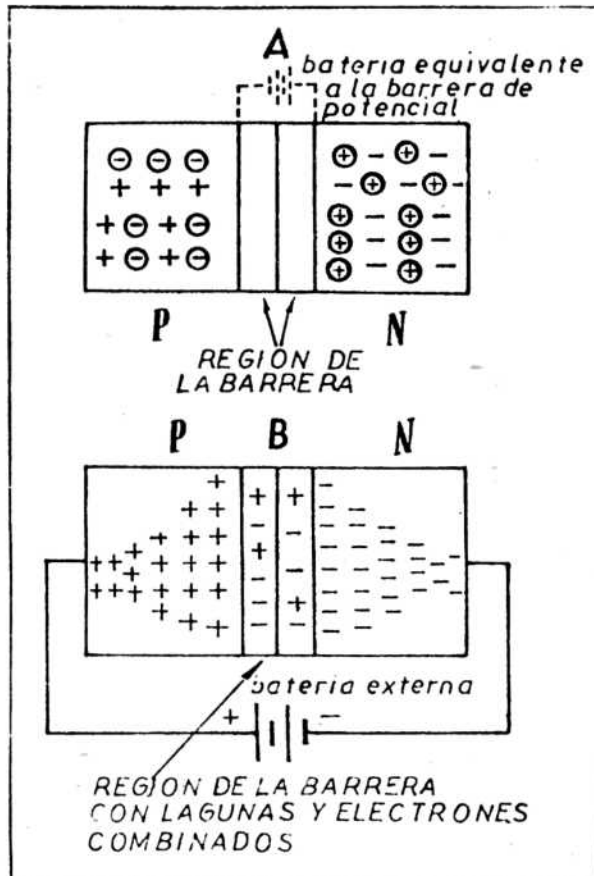


Figura 5 - Diodos fotoemisivos (LED)

otorga una polarización inversa al diodo. Esta polarización inversa aleja los portadores mayoritarios de la juntura. Si se aplica ahora una polarización directa al diodo de la juntura P-N tal como vemos en la figura 5B podemos superar la barrera formada por la juntura si el potencial es de suficiente magnitud. En este aspecto debe recordarse que el potencial aplicado sufrirá una caída de tensión en el mismo material semiconductor del diodo que precisamente no es un buen conductor sino un "semiconductor" con una resistencia interna por unidad de volumen bastante elevada. Sin embargo generalmente es suficiente la aplicación de tensiones del orden de 1 volt o poco más para lograr la superación de la barrera, compensar la caída de tensión interna y provocar una corriente de cierta intensidad en el diodo. Esta corriente directa introduce portadores minoritarios en ambos materiales y libera por el mecanismo ya mencionado de recombinación de portadores mayoritarios y minoritarios una

fuente potencial de energía.

En el diodo fotoemisor interesa desde luego que la energía liberada de esta manera sea energía lumínica y se manifiesta como una emisión de luz. En principio podemos comprobar que esta condición se cumple en forma parcial en todas las junturas semiconductoras pero a los efectos de obtener un rendimiento de luz de un valor razonable es necesario que se cumplan ciertos requisitos. De otra manera la eficiencia de la conversión energética será muy baja y no podrá usarse para los fines específicos del diodo fotoemisor.

Un factor de suma importancia para lograr un rendimiento aceptable es la selección del material adecuado con un grado de pureza muy bien controlado y con el agregado del porcentaje correcto de las impurezas más eficientes. En condiciones óptimas es factible lograr un rendimiento interno cercano al 100 % en lo referente al equivalente cuántico que consiste en la generación de fotones por cada evento de recombinación de portadores. La eficiencia de potencia lumínica que consiste en la conversión de energía eléctrica en energía lumínica de salida puede lograrse en el orden del 25 % o mayor.

13-3. MATERIALES USADOS EN LOS DIODOS FOTOEMISIVOS

Uno de los motivos por los cuales el descubrimiento y la utilización práctica del efecto fotoemisor demoraron tanto en comparación con otras aplicaciones de semiconductores, es el hecho que los materiales semiconductores de uso más frecuente, el germanio y el silicio, son sumamente pobres en lo referente a eficiencia de conversión lumínica. Por este motivo no se pueden usar como diodos fotoemisivos y recién el descubrimiento de otros materiales semiconductores permitió pensar seriamente en este tipo de semiconductor.

Los materiales de mayor uso en esta aplicación son los compuestos de galio y de arsenio, por ejemplo el

arsenuro-fosfuro de galio. La composición exacta es importante para determinar la frecuencia de la luz emitida, característica que indica su color. Se utilizan los materiales del grupo de los arsenuros de galio como emisores de luz roja y los fosfuros de galio para obtener luz verde. También pueden lograrse diodos fotoemisivos de color amarillo y combinaciones de todos estos colores, como rojo-verde, rojo-amarillo y verde-amarillo. La eficiencia lumínica de los materiales varía sin embargo y también interviene en este sentido la diferencia espectral de la respuesta del ojo humano. Esto influye en la eficiencia total en la siguiente manera: Un diodo fotoemisor de fosfuro de galio tiene una eficiencia de potencia 10 veces mayor que uno de fosfuro-arsenuro de galio, pero debido a la diferencia cromática esta eficiencia queda reducida en definitiva a una relación de 3 a 1 o 4 a 1. En general se logra con los materiales mencionados rendimientos lumínicos entre 1,5 a 5 mililumen con una corriente directa del diodo LED de unos 20 miliamperes.

Se recurre en la construcción de los diodos fotoemisivos a ciertos artificios ópticos para reducir el consumo del material activo que es aún sumamente costoso. Para este fin se usan cristales ópticos adosados a los diodos para lograr un incremento lumínico por medios ópticos, lentes y también materiales opacos con reflexión interna y salida concentrada de la luz. Se utilizan en la fabricación de los diodos fotoemisivos muchas veces técnicas de circuitos integrados con una pastilla de cristal de material activo de sólo 0,4 milímetros de lado, los cuales sin embargo pueden producir por los medios ópticos indicados una superficie iluminada de 4 por 0,6 milímetros. Se aprovecha en este caso la luz emitida por la parte superior del diodo y también la proveniente de los costados.

16-4. CARACTERISTICAS CONSTRUCTIVAS DE LOS DISPLAYS DE DIODOS FOTOEMISIVOS.

En los displays alfanuméricos de siete segmentos se recurre actualmente a construcciones monolíticas los cuales aumentan el rendimiento y reducen el costo de los displays. En la figura 6 vemos dos tipos de displays de diodos fotoemisivos para diferentes tipos de a-

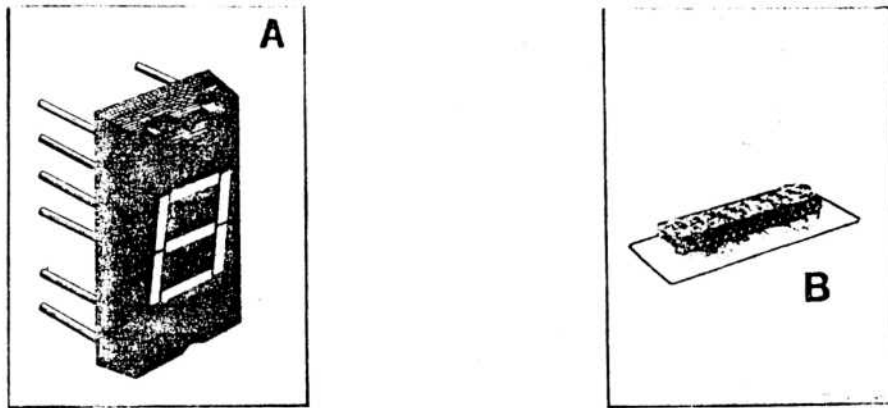


Figura 6 - Display de diodos fotoemisivos.

plicaciones. El display de la figura 6 A es de un sólo dígito de tamaño grande, mientras que el display de la figura 6 B es del tipo múltiple que consiste de 9 dígitos individuales, montados sobre un substrato común y con un conexionado interno que deja todos los segmentos equivalentes de cada dígito en paralelo. En el caso concreto de los 9 dígitos obtenemos 8 conexiones para los 72 segmentos del conjunto y 9 conexiones para los 9 dígitos, o sea un total de 17 conexiones para el display. En la figura 7 vemos un conexionado típico de este tipo.

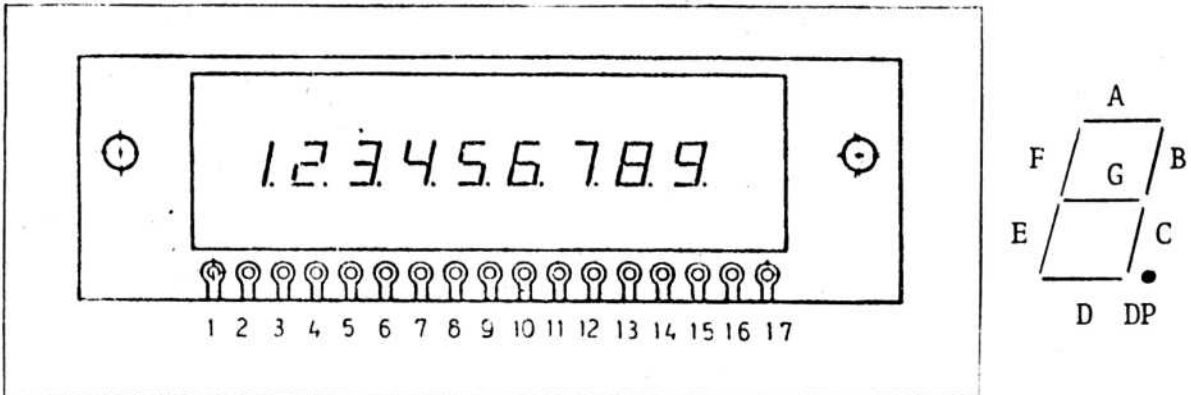


Figura 7 - Conexión de un display de 9 dígitos

TERMINALES

- | | |
|-------------------------------------|----------------------|
| 1. CATODO DIGITO 1 | 10. ANODO SEGMENTO D |
| 2. ANODO SEGMENTO C | 11. CATODO DIGITO 6 |
| 3. CATODO DIGITO 2 | 12. ANODO SEGMENTO G |
| 4. PUNTO DECIMAL
(DECIMAL POINT) | 13. CATODO DIGITO 7 |
| 5. CATODO DIGITO 3 | 14. ANODO SEGMENTO B |
| 6. ANODO SEGMENTO A | 15. CATODO DIGITO 8 |
| 7. CATODO DIGITO 4 | 16. ANODO SEGMENTO F |
| 8. ANODO SEGMENTO E | 17. CATODO DIGITO 9 |
| 9. CATODO DIGITO 5 | |

El substrato del display múltiple puede ser de material fenólico o también de material cerámico utilizándose en ambos casos técnicas de circuito impreso de doble faz para lograr el interconexionado de los diodos fotoemisivos individuales. Con respecto al régimen de trabajo de los diodos fotoemisivos en las minicalculadoras cabe señalar que se usa también el método de pulsos que en el caso de los diodos LED es especialmente eficiente debido a la coincidencia de no-linealidad de la característica lumínica del diodo y del ojo humano. En efecto, el ojo humano se comporta como un sistema de respuesta logarítmica limitada en donde el tiempo de activación es mucho menor que el de la desactivación. Este comportamiento nos explica la per-

sistencia visual y tiene como resultado que la salida lumínica promediada de un sistema pulsado es mayor que el efecto producido por un sistema de luminosidad constante de un nivel igual al promedio del pulsado. Por otra parte también el rendimiento propio del diodo fotoemisor es mayor en el régimen de pulsos, sobre todo cuando se usa un pulso de corta duración y elevada corriente de cresta.

16-5. DISPLAY DE CRISTALES LIQUIDOS.

a) Aspectos técnico-históricos de los cristales líquidos .

A pesar de su aparición relativamente reciente en el mercado son ya numerosas las aplicaciones de los diferentes tipos de cristales líquidos que por sus características singulares han despertado mucho interés en círculos técnicos. El nombre de "Cristales Líquidos" es muy ilustrativo si se analiza detenidamente ambas partes de este concepto. Un líquido es una sustancia que fluye y un cristal es una sustancia que exhibe ciertos efectos ópticos. Los cristales líquidos son por lo tanto sustancias líquidas que poseen las características ópticas de los cristales. Se trata de sustancias y compuestos orgánicos cuyas características pueden definirse con más acierto si consideramos el ordenamiento de sus moléculas. Recordemos para este fin que en un gas nos encontramos que para todos los fines prácticos las moléculas del gas no poseen ordenamiento alguno. En cambio en un líquido las moléculas poseen un cierto grado de ordenamiento y en un sólido las moléculas están rigurosamente ordenadas y fijas y no poseen casi ninguna movilidad. Finalmente en un cristal líquido las moléculas poseen un grado de ordenamiento que se ubica entre el que corresponde a un líquido y un sólido. Este estado molecular se suele denominar también "Estado mesomórfico" y muchos investigadores lo consideran como una cuarta posición junto con los esta-

dos líquidos, sólidos y gaseosos.

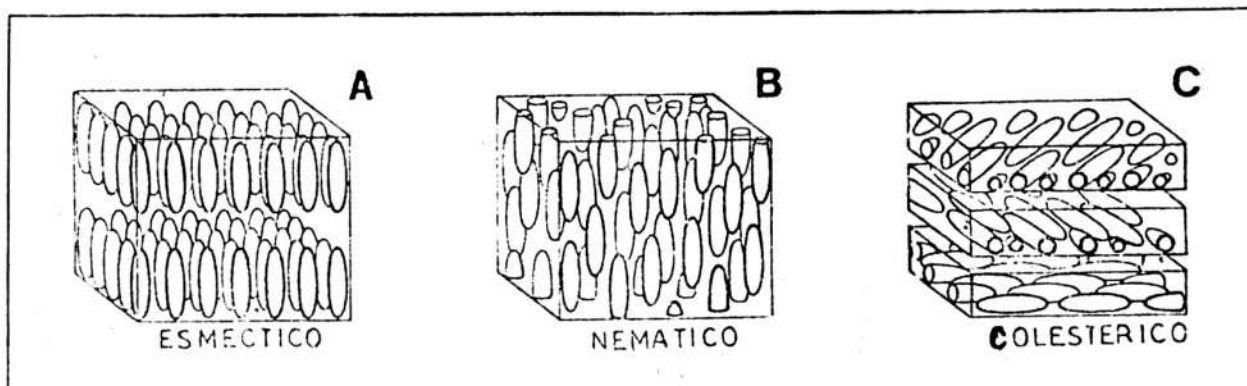


Figura 8- Diferentes tipos de cristal líquido

El estado mesomórfico de los cristales líquidos fue descubierto por primera vez en el año 1883 por un botánico austriaco, Friedrich Reinitzer. Este científico observó colores variables con el calentamiento y posterior enfriamiento de una sustancia denominada "Colesteril-benzoato". Esta sustancia orgánica tuvo también un comportamiento diferente al fundirla ya que no se producía su función en forma neta y definida como en otras sustancias orgánicas. Los científicos Lehmann y Friedel profundizaron las observaciones de Reinitzer y pronto llegaron a la conclusión que se necesitaba una designación y una descripción más definida para poder describir adecuadamente todos los fenómenos relacionados con estas sustancias. En 1869 observó Lehmann que los cristales líquidos o sustancias mesomórficas poseían importantes características ópticas, poco comunes en los líquidos convencionales. Finalmente el científico Friedel utilizó designaciones específicas de origen griego para clasificar tres tipos de cristales líquidos: Los cristales líquidos del tipo esméctico, nemático y colestérico. Estas designaciones se encuentran en vigencia en la actualidad.

b) Características de los diferentes tipos de cristales líquidos.

Los cristales líquidos del tipo esméctico pueden poseer más de una forma de ordenamiento y son en general los cristales de mayor grado de ordenamiento molecular de los tres tipos mencionados. Las moléculas en la mesofase esméctica están ubicadas esencialmente en forma mutuamente paralela y en capas o estratos paralelos con los ejes largos de sus moléculas perpendiculares al plano de la capa. En la figura 8 A vemos esta disposición en forma muy esquemática. Las moléculas de una sustancia esméctica son monoaxiales y ópticamente positivos y no poseen poder óptico rotativo.

Los cristales líquidos con mesofase nemática pueden poseer también una fase esméctica pero se distinguen de la misma por la forma de su ordenamiento molecular. Los cristales líquidos del tipo nemático poseen moléculas ordenadas en forma paralela entre sí con respecto a sus ejes largos. Estas moléculas no están tan restringidas en sus movimientos como los cristales del tipo esméctico y por lo tanto están ubicadas en forma paralela pero no estratificada, como podemos observar en la figura 8 B en forma esquemática. También los cristales nemáticos son monoaxiales y no poseen poder óptico rotativo.

El tercer grupo de los cristales líquidos corresponde al tipo de los colestéricos que poseen un eje óptico retorcido que da lugar a la aparición de capas de gran espesor. El espesor de la capa de un cristal colestérico es del orden de los 1000 unidades Angstrom, mientras que el espesor de una capa de un cristal esméctico, que también se presenta estratificado, es solo de unos 20 Angstrom. Esta diferencia de unas 50 veces en el espesor de las capas produce una gran diferencia en el comportamiento óptico de los cristales líquidos colestéricos.

Cabe señalar que la longitud de los cristales

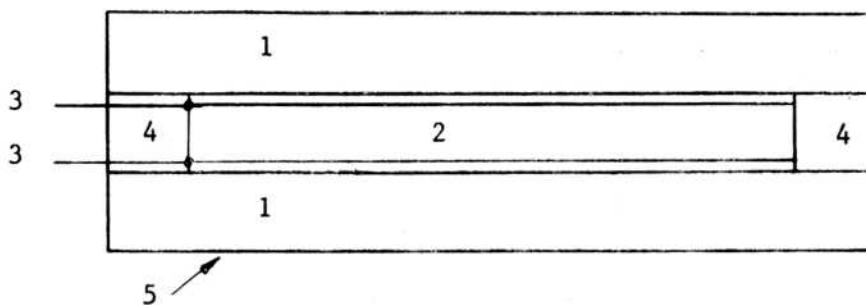
en las moléculas esmécticas es de 20 Angstrom, mientras que en las moléculas colestéricas esta dimensión es de 26 Angstrom. Debido a su forma retorcida helicoidal encontramos que el eje óptico de una capa colestérica traza una curva helicoidal y debido a ello existe una gran actividad óptica en los cristales líquidos del tipo colestérico. En la figura 8 C vemos en forma esquemática la disposición en capas de gran espesor de las moléculas del cristal líquido colestérico que es ópticamente negativo.

En general se puede manifestar que los cristales líquidos pueden fabricarse para responder prácticamente a cualquier tipo de estímulo. Entre estos estímulos figuran el calor, luz, radiación ultravioleta, sonido, presión, magnetismo, electricidad y aún trazos de vapores químicos. Estos estímulos producen el realineamiento de los cristales de tal manera que los mismos alteran sus características ópticas. En algunos casos reflejan la luz incidente, en otros se produce la dispersión de la luz y en un tercer grupo se produce la desintegración de la luz en sus componentes espectrales con diferentes longitudes de onda de la luz reflejada. Como la longitud de onda de la luz determina su color pueden producirse efectos cromáticos importantes que, debidamente usados pueden ser de gran utilidad.

c) Los displays de cristales líquidos.

En la aplicación como displays para calculadoras electrónicas, relojes digitales y otros tipos de display de aparatos electrónicos se usa generalmente los cristales líquidos del tipo nemático. En un display del tipo nemático se encierra en forma hermética una capa de cristal líquido con un espesor de 6 a 12 micrones entre dos placas de vidrio. La superficie interna de estas placas de vidrio está recubierta con una capa de material conductor transparente que transforma estas simples placas de vidrio en electrodos.

Estos electrodos asumen la forma de los siete segmentos clasicos usados en la presentación alfanumérica digital. En la figura 9 vemos en forma esquemática la construcción de un display de cristal líquido.



- 1 = PLACA DE VIDRIO
- 2 = CRISTAL LIQUIDO (6 a 12 μ)
- 3 = ELECTRODOS
- 4 = ESPACIADOR
- 5 = CAPA REFLECTIVA (ESPEJO)

Figura 9 - Display básico de cristal líquido.

Cuando se aplica una tensión eléctrica a los electrodos pueden producirse dos diferentes reacciones en el cristal líquido, según el tipo de construcción de "dispersión dinámica" o de "efecto de campo". El display de dispersión dinámica se observa esquemáticamente en la figura 10 A. Este tipo de display posee en reposo las moléculas del cristal líquido en filas bien ordenadas. La luz pasa entre estas moléculas y se refleja en el espejo adosado al electrodo posterior. Cuando se aplica una tensión a los electrodos, se forman iones que disturbán el ordenamiento de las moléculas del líquido.

La luz que incide sobre esta zona de moléculas desordenadas es dispersado y reflejado en forma eleatoria. De esta manera los segmentos que introducen la carga eléctrica se transforma en un medio lechoso y opaco en contraste con sus zonas adyacentes que son transparentes.

El proceso que se produce en los cristales líquidos de efecto de campo es algo más complejo. En la figura 10 B vemos que los cristales líquidos se encuentran entre dos polarizadores cuya posición relativa es en ángulo recto. Esto produce una disposición helicoidal de las capas moleculares a la manera de una escalera caracol. Debido a la polarización frontal puede atravesar el polarizador posterior y se refleja en el espejo ubicado en la parte posterior. Cuando se aplica la

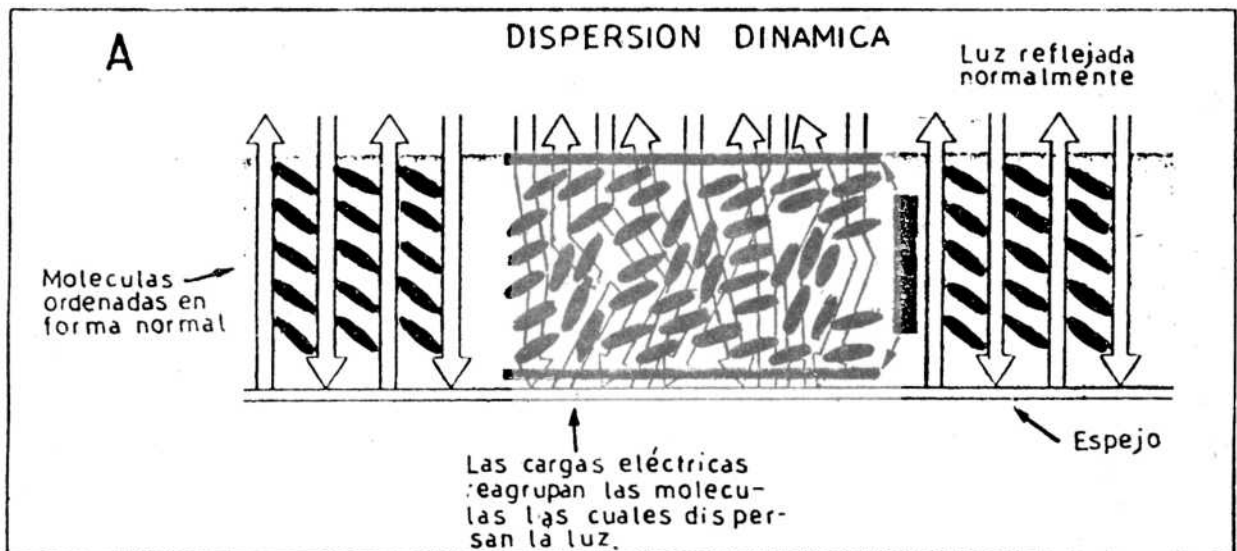


Figura 10 - Cristal líquido de dispersión dinámica.

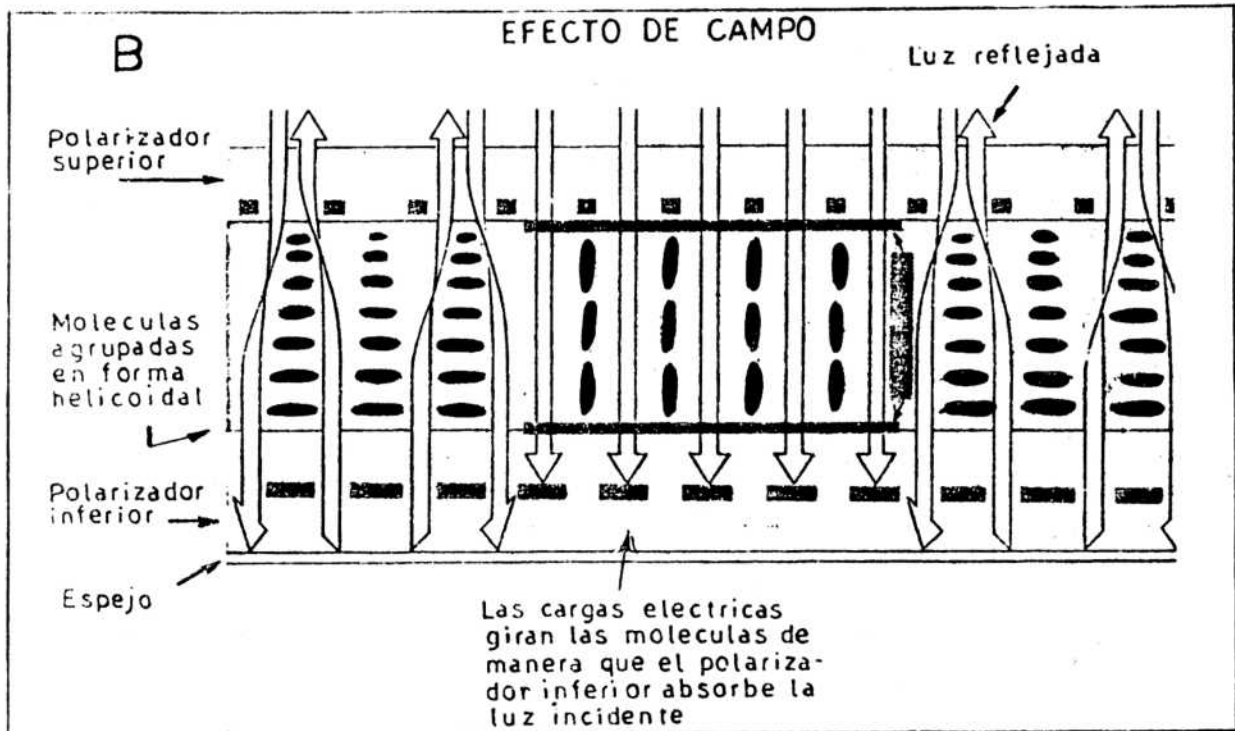


Figura 10 - Cristal líquido de efecto de campo.

tensión eléctrica a los electrodos entonces las mismas moléculas del cristal líquido sufren un giro de 90 grados, quedando en forma perpendicular el polarizador frontal. La luz que atraviesa estas moléculas no es girada y por lo tanto el polarizador la absorbe. El resultado es un dígito oscuro que contrasta con las zonas adyacentes claras. También puede lograrse que los dígitos sean claros y las zonas adyacentes oscuras.

Ambos tipos de display de cristal líquido poseen la ventaja de no generar luz sino reflejar solo la luz del ambiente. Esto en principio reduce drásticamente el consumo del display comparado con otros tipos del tipo de secarga gaseosa, fluorescente o diodos fotoe-

misivos. El consumo típico de un display de cristal líquido puede ser del orden de uno o dos microampere en 15 volt cuando otros tipos de display consumen tal vez 1000 veces más de energía. También el contraste del display de cristal líquido en ambientes claros es mucho mayor que la luz reflejada aumenta con la luz ambiente, en cambio en los otros tipos de display se reduce el contraste con el incremento de la luz ambiente. En la figura 11 vemos un gráfico que ilustra este aspecto.

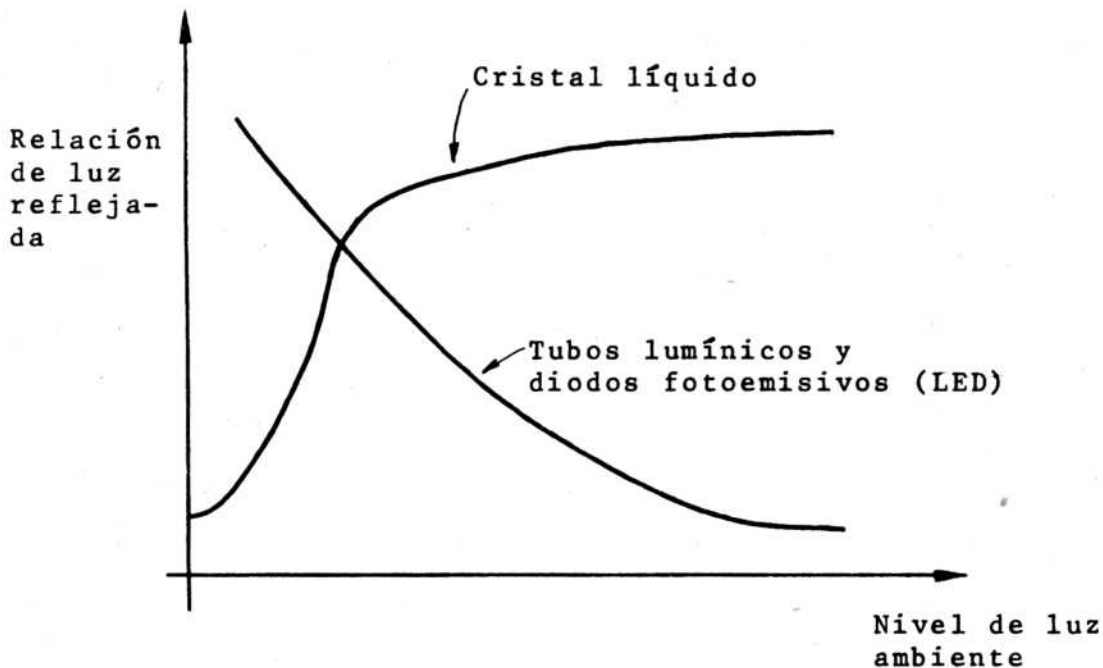


Figura 11 - Contraste entre LED y LCD.

La alimentación de los displays de cristal líquido debe realizarse con preferencia con corriente alterna y no continua para evitar efectos secundarios de origen electrolíticos que pueden destruir el display en corto tiempo. Por ahora se observa sólo una aplicación limitada de los displays de cristal líquido principalmente debido a su mayor costo inicial y a su vida útil aún limitada. Sin embargo se puede prever un uso

cada vez mayor a medida que aumenta la confiabilidad de los displays y se reduce su costo.

17- COMPONENTES DEL CIRCUITO INTEGRADO

Los elementos que constituyen un CI monolítico son, a excepción del inductor cuya integración práctica no está todavía al alcance de la tecnología monolítica, los mismos que intervienen en un circuito de tipo discreto, esto es, transistores, diodos, resistores y capacitores.

17.1.- EL TRANSISTOR INTEGRADO

Transistor n-p-n. La principal diferencia en estructura con respecto a un transistor discreto, es que en lugar de partir de un sustrato tipo n, que será a la vez el colector, el transistor integrado emplea un soporte tipo p que será compartido por todos los demás elementos del circuito integrado y por lo mismo no puede usarse como colector. Esto implica que el transistor integrado tenga una capa más, es decir, en el sustrato se hace crecer una capa epitaxial n que será el colector, después una difusión de boro para obtener la región de base tipo p y luego se difunde fósforo de alta concentración tipo n^+ para formar el emisor, lo cual da una estructura fundamental de cuatro capas y tres uniones en lugar de tres capas y dos uniones del transistor convencional (Fig. 1).

En el transistor integrado (Fig. 1b), el colector de tipo n está aislado dentro del sustrato p y su contacto óhmico n^+ -difundido al mismo tiempo que el emisor- está en la superficie y no en la parte inferior del soporte como es el caso del transistor discreto. El empleo de una difusión de tipo n^+ es con el fin de crear un contacto de baja resistencia óhmica el cual se produce al alearse el material de esta región con la red de aluminio que se depositará en la super-

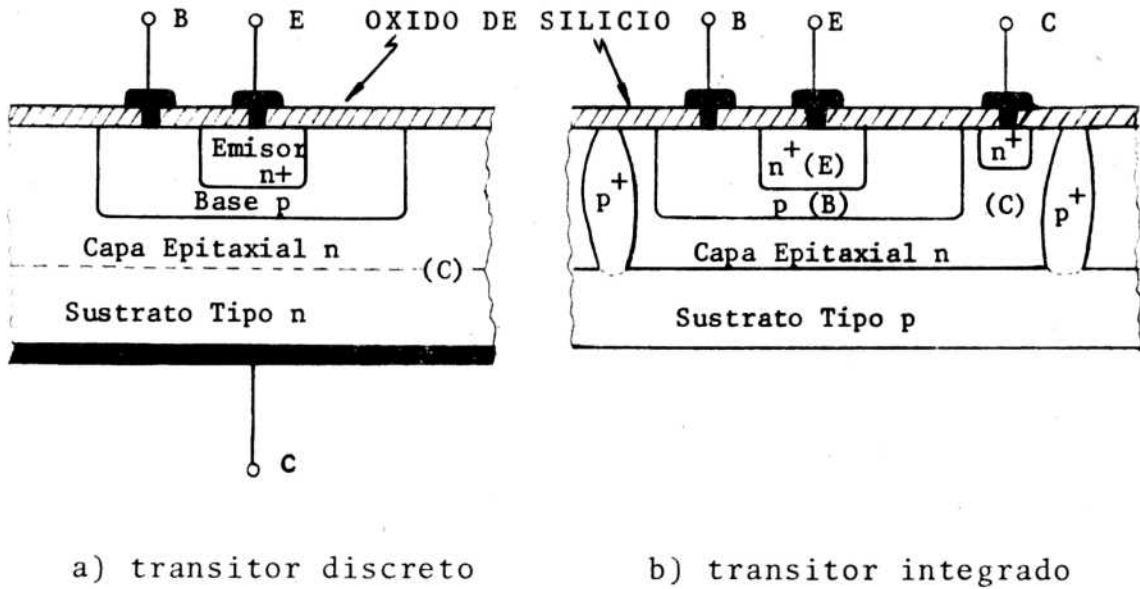


Fig. 1. Estructuras básicas de un transistor discreto y uno integrado.

ficie para la interconexión de los elementos.

La estructura del transistor integrado da lugar a dos elementos parásitos (fig. 2) una resistencia adicional r_{SC} , en serie con el colector y una capacitancia C_1 entre el colector y el sustrato. La resistencia serie se debe a que la corriente de colector tiene que circular a lo largo de la estrecha región de tipo n del colector antes de alcanzar el contacto de este en la superficie (ver fig. 1 b) cosa que no sucede con el transistor discreto, donde la corriente tiene un fácil camino hacia el contacto inferior. El diodo en la fig. 2 corresponde al aislamiento y R_1 es la resistencia entre el sustrato y la región activa del transistor.

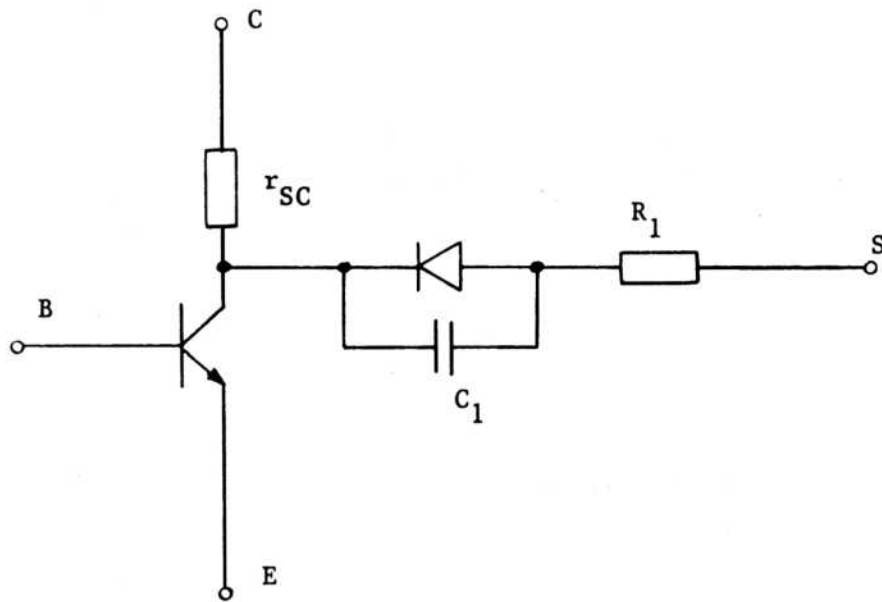


Figura 2 - Circuito equivalente del transistor integrado.

Una manera de reducir el efecto de la resistencia r_{SC} es por medio de la llamada "capa oculta" (buried layer, en inglés) que consiste en una región de impurezas n^+ , como por ejemplo arsénico, localizada entre la capa epitaxial n y el sustrato p (fig. 3) que ofrece un camino de baja resistencia en paralelo con la alta resistividad de la región n del colector, por lo que la corriente circulará preferentemente por la región oculta hacia el contacto del colector, reduciéndose así la resistencia r_{SC} . La región oculta n^+ se difunde en el sustrato p antes del crecimiento de la capa epitaxial n correspondiente al colector, por lo que a este proceso se le conoce también como "difusión bajo la capa epitaxial". Se prefiere arsénico como impureza para esta región debido a que tiene un bajo coeficiente de difusión comparado con los del boro y fósforo, es decir, requiere mayor temperatura para difundirse. Esto es necesario porque la capa oculta n^+ ,

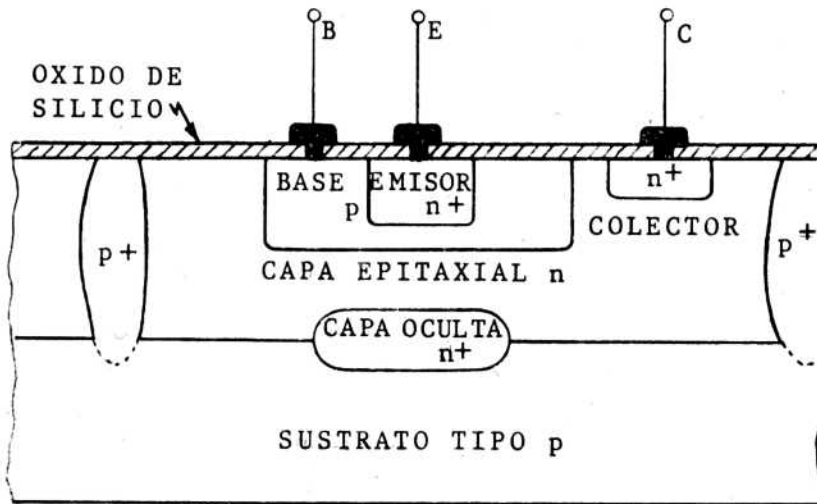


Fig. 3. Localización de la capa oculta n+.

una vez difundida, debe permanecer en el lugar previamente fijado sin que su ubicación se altere con los siguientes pasos de difusión que emplean precisamente boro y fósforo como impurezas.

En la figura 4 se ilustra la geometría de un transistor integrado bipolar n-p-n visto de arriba y en corte transversal. Se notará que en el primer caso no se indica la capa oculta pues está "cubierta" por la capa epitaxial.

Transistor p-n-p. El sustrato p, el colector n y la base p de un transistor n-p-n forman un transistor parásito p-n-p de pobre calidad -muy baja ganancia- que generalmente no se usa como tal. Sin embargo, hay circuitos que incluyen pares complementarios y es necesario crear transistores p-n-p en la misma placa del CI. Una forma de lograrlo consiste en hacer una difusión adicional; por ejemplo, difundir dentro de la región n+ del emisor un material p+ que dará la estructura ilustrada en la fig.5 .

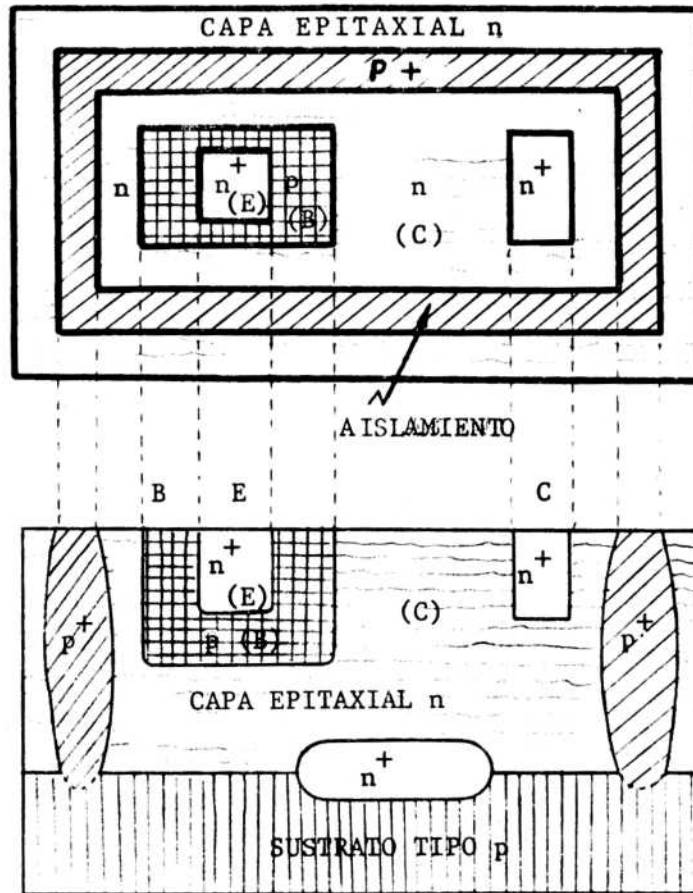


Figura 4 - Geometría de un transistor bipolar integrado.

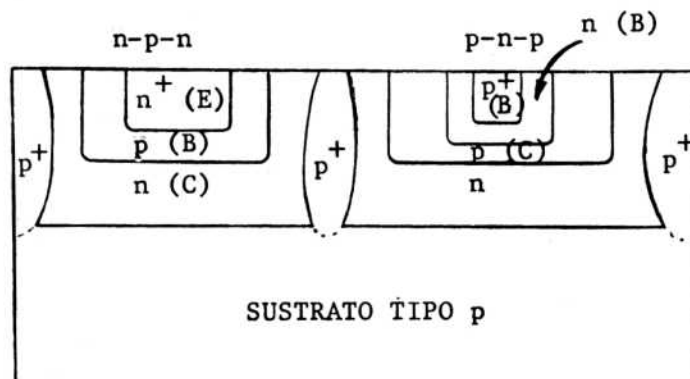


Figura 5 - Transistor p - n - p formado mediante una difusión adicional.

Pero una difusión adicional con sus operaciones de oxidación, enmascaramiento, etc., resulta antieconómico; razón ésta por la que se ideó el transistor p-n-p "lateral" u "horizontal", fig. 6, llamado así en comparación con la estructura de la fig. 6 en donde las capas aparecen ordenadas en forma vertical. El emisor y el colector (p) del transistor lateral p-n-p se forma al difundirse la base (p) del transistor n-p-n; el colector rodea completamente al emisor. La capa epitaxial n es la base con su contacto óhmico n+.

El transistor lateral p-n-p tiene la ventaja de que no se requiere ningún proceso adicional al utilizarlo para los transistores n-p-n. Sin embargo tiene algunas desventajas, entre ellas la acción parásita p-n-p formada por el sustrato p, la capa epitaxial n y el colector p. El efecto parásito se debe a que los huecos inyectados a la base por el emisor son recogidos no sólo por el colector sino también por el sustrato, lo cual contribuye a reducir la amplificación. Este efecto se disminuye por medio de una capa oculta n+ que crea un potencial n, n+ y actúa como una barrera para los huecos.

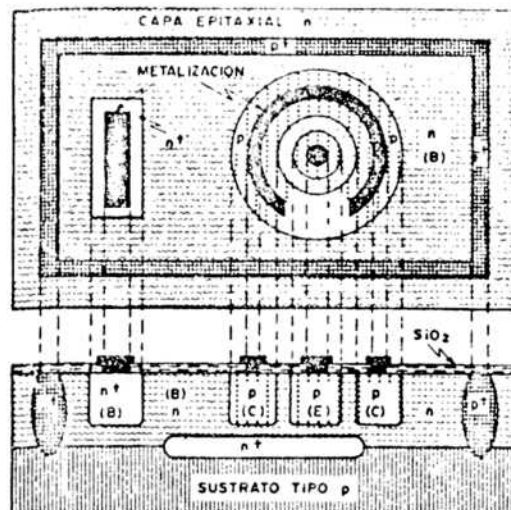


Fig. 6. Transistor p-n-p- "lateral"

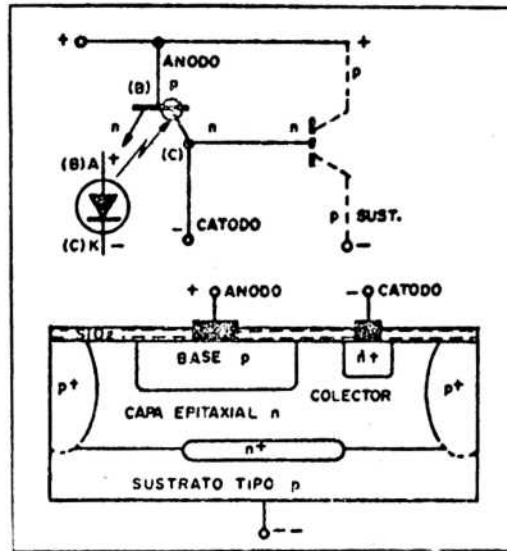
17.2.- EL DIODO INTEGRADO

La estructura del diodo en el circuito integrado monolítico es en realidad la de un transistor n-p-n en donde se ha elegido una unión p-n para usarse como diodo. Esto se debe a que resulta más económico emplear una estructura de transistor - que de todos modos tiene que hacerse- que crear una estructura especial para diodo. En esta forma, tanto por costo como por confiabilidad, se emplean los mismos pasos para fabricar diodos que transistores en el circuito integrado. En rigor, todos los componentes del circuito integrado se forman a partir de la estructura del transistor.

En la fig. 7 se muestran dos formas diferentes en que la estructura básica de un transistor integrado se utiliza como diodo. En (a) se representa un diodo colector-base, donde la región n, correspondiente al colector de un transistor n-p-n, es el cátodo y la región p, obtenida al difundir la base de ese mismo transistor es el ánodo. Este tipo de diodo tiene un uso muy limitado debido a que al polarizar en sentido directo la unión colector-base, o sea el diodo, aparece la acción parásita del transistor p-n-p formado por el sustrato p, la capa epitaxial n y la difusión p de la base del transistor n-p-n, pues hay que recordar que por exigencias del aislamiento, el sustrato debe conectarse al potencial más negativo del circuito.

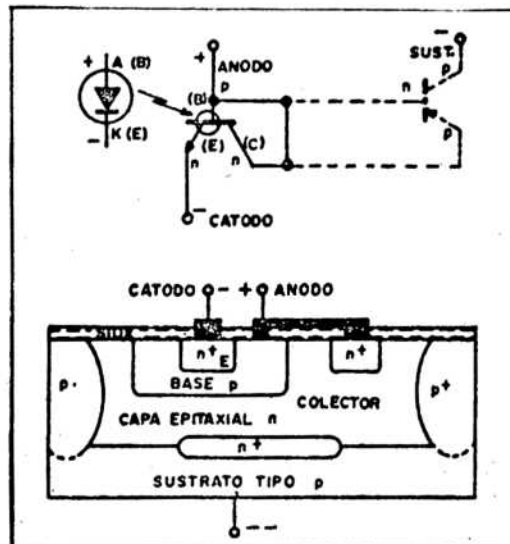
El diodo emisor-base de la fig. 7 (b) es la estructura más utilizada. En este caso, el ánodo corresponde a la difusión de base del transistor n-p-n y el cátodo a la del emisor. Para evitar el funcionamiento espurio como transistor n-p-n o la acción parásita del p-n-p debido a potenciales inducidos en la capa epitaxial (Colector del n-p-n) y usar el diodo con polarización directa, el ánodo (base del n-p-n) se cortocircuita con el colector del n-p-n como se ve en la propia figura.

En la estructura del diodo también conviene incluir una capa n^+ entre el sustrato y la capa epitaxial n para reducir el efecto de la r_{SC} de colector y disminuir la ganancia del transistor parásito p (sustrato) n - p (base).



A

Diodo colector - base



B

Diodo emisor - base.

Fig. 7. Estructuras básicas de transistores conectados como diodos y sus diagramas correspondientes.

17.3.- DIODOS ZENER INTEGRADOS.

La juntura base-emisor de un transistor mono_lítico puede polarizarse en sentido inverso para construir un diodo Zéner. Para los dispositivos normales la tensión Zéner es de aproximadamente 7 V, y la impedancia dinámica se encuentra entre 60 y 100 ohms. En la conexión indicada en la Fig.7 c el diodo presenta un coeficiente de temperatura positivo en el valor de la tensión Zéner de aproximadamente 2 mV/°C.

Cuando se desea una impedancia dinámica menor puede utilizarse un transistor como seguidor por emisor del diodo, según la fig. 7 d. Esta configuración ofrece una tensión equivalente de Zéner de aproximadamente 6,3 V y un coeficiente de temperatura positivo de 4 mV/°C . La fig. 7 d muestra la disposición de un diodo Zéner de mayor impedancia casi totalmente compensado desde el punto de vista térmico; esta configuración permite obtener una tensión Zéner de aproximadamente 7,7 V.

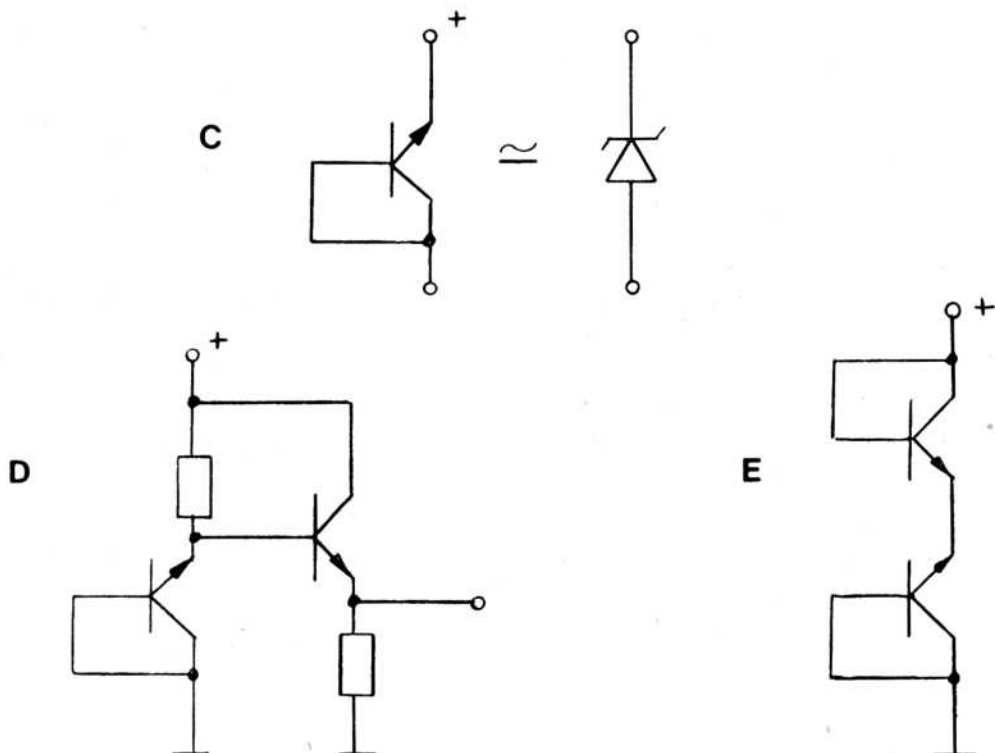


Fig. 7.

17.4.- EL RESISTOR INTEGRADO

El resistor integrado es probablemente el componente que difiere en mayor grado de su homólogo discreto. La técnica básica para obtener un resistor de difusión consiste en modificar la resistividad de una determinada región de la placa de silicio mediante la difusión de un cierto tipo de impurezas que altere la concentración de portadores de carga (huecos o electrones) de modo que el valor del resistor así formado estará determinado por la profundidad de la difusión, el grado de concentración de la impureza y las dimensiones de la región en la superficie. Sin embargo, la profundidad y la concentración están fijadas por las exigencias de los transistores asociados, ya que los resistores se forman durante el proceso de difusión de la base o del emisor, de modo que lo único que puede controlarse separadamente son las dimensiones de la franja en la superficie para obtener un cierto valor de resistencia, es decir, cuanto mayor sea la longitud de la franja y menor su ancho, mayor será el valor que pueda alcanzarse. De aquí se infiere que los valores están limitados por consideraciones físicas y económicas, pues cuanto mayor sea el área que ocupe un componente en la placa de silicio, mayor será su costo por lo que es difícil encontrar circuitos integrados que incluyan resistores de más de 50.000 ohms.

En la figura 8 se muestra la sección transversal de un resistor de difusión de base, que es el más común, en donde el aislamiento no solamente se efectúa mediante la polarización inversa formada por el sustrato p con la capa epitaxial n, sino también por la unión n-p, formada por la capa epitaxial n con la región p del resistor polarizada en sentido inverso, es decir, conectando la capa epitaxial n al potencial positivo más elevado del circuito lo que asegura la protección contra los efectos del transistor parásito p-n-p (sustrato p - capa epitaxial n - resistor p). En (b)

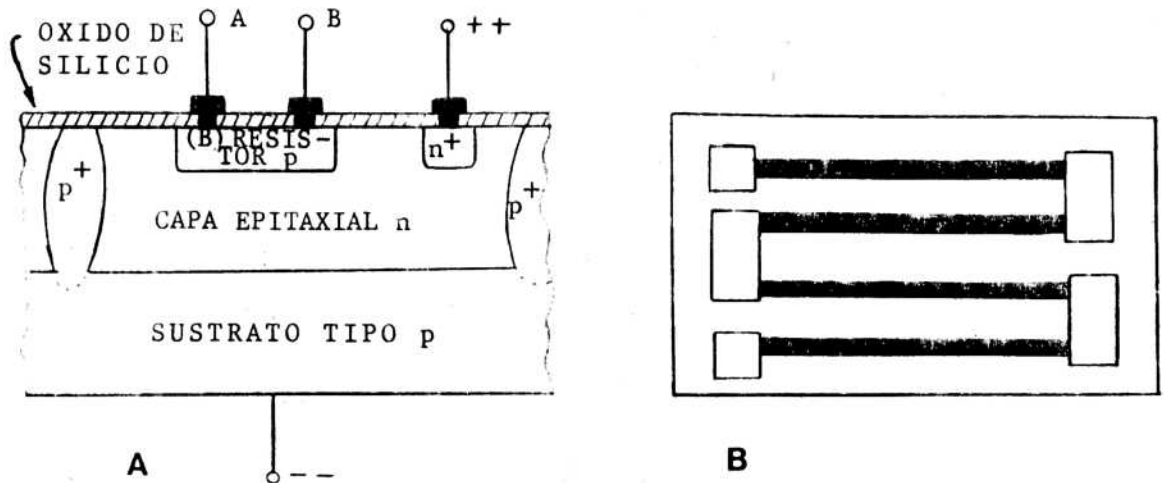


Fig. 8. a) Corte transversal de un resistor de difusión de base.

b) Vista superior de un resistor formado con franjas conectadas en serie.

de la misma fig. 8 se muestra, muy amplificado, el aspecto que tendría un resistor de difusión típico compuesto de franjas conectadas en serie.

17.5.- EL CAPACITOR INTEGRADO

El capacitor en un circuito integrado monolítico es más bien un diodo o unión p-n polarizada en sentido inverso, como por ejemplo la unión base-emisor fig. 9 (elevada capacidad por unidad de superficie, baja tensión de ruptura 7 V) o la colector-base (baja capacidad por unidad de área, elevada tensión de ruptura, 45 V). En realidad las capacidades que pueden alcanzarse son bajas, del orden de 100 pF, por lo que su aplicación en los CIM es muy limitada, ya que se requerirían áreas relativamente grandes. Por tanto, para valores mayores se prefiere que el usuario del circuito utili-

ce capacitores discretos. El principal inconveniente de los capacitores de unión es que su capacidad depende del valor de la tensión inversa aplicada, por lo que es necesario disponer de una adecuada tensión de polarización en el circuito. La inclusión de capacitores en un CI permite suponer un desarrollo tecnológico más avanzado.

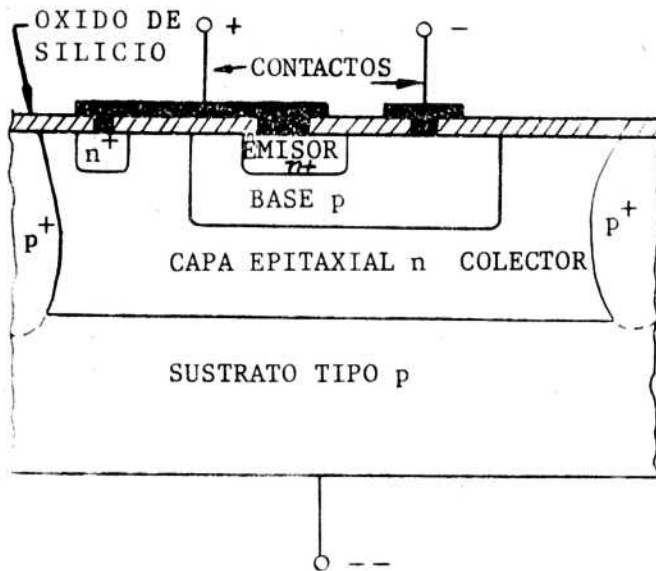


Fig. 9. Estructura de un capacitor base - emisor.

17.5.- FORMACION SIMULTANEA DE LOS ELEMENTOS DE UN CIRCUITO INTEGRADO MONOLITICO.

En la construcción de este tipo de circuitos integrados, todos los elementos se forman simultáneamente siguiendo la misma secuencia de pasos fijada para los transistores.

Con objeto de ver el proceso de formación simultánea de los elementos que hemos tratado en párrafos anteriores, imaginemos un circuito formado como se indica en la fig. 10, en el que los elementos estuvieran conectados en serie con sus terminales hacia el

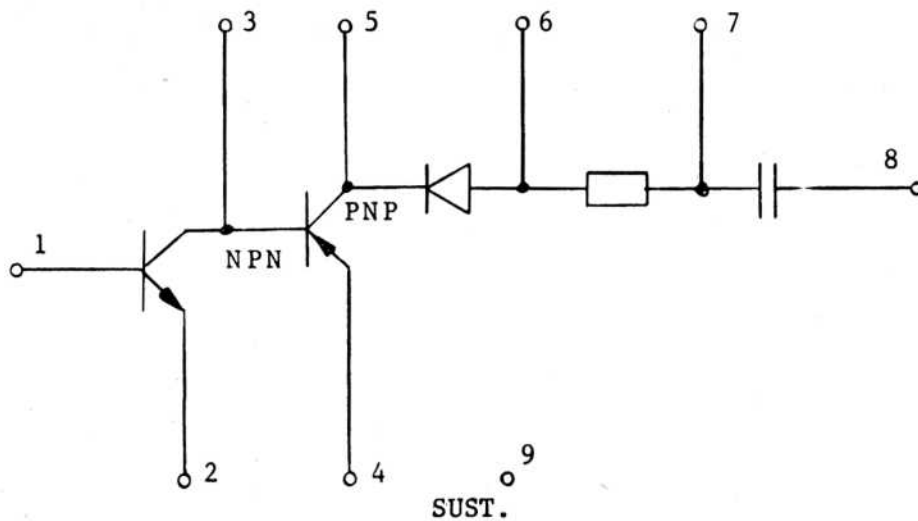


Fig. 10. Parte de un circuito imaginario utilizado para mostrar el proceso de la fig. 11.

exterior numeradas como ahí se indica. La fig. 11 ilustra los diversos pasos del proceso en forma de corte transversal de la placa y en la fig. 12 se ha dibujado el aspecto que tendría la superficie de la placa en los últimos dos pasos.

1. El proceso se inicia con la oxidación de la superficie superior de la placa de silicio o sustrato tipo p de 0.25 mm. de espesor.
2. Se abren ventanas en los lugares apropiados mediante el proceso fotolitográfico de la fig. 13 y a través de ella se hace la difusión de arsénico para formar la capa oculta n+ de los transistores y diodos.

A continuación se cubren las ventanas mediante nueva oxidación.

3. Se elimina ahora totalmente la capa de óxido y se hace crecer en el sustrato p una capa epitaxial hasta un espesor de 10 micras. Esta capa se convierte en tipo n por la adición de antimonio durante el proceso de crecimiento por vaporización. Se oxi-

da otra vez toda la superficie.

4. De acuerdo con la máscara o plantilla correspondiente a la base de aislamiento, se abren ventanas por las cuales se difundirá boro de alta concentración (p+).

Esta difusión produce regiones aisladas (ver fig. 14) donde se crearán los diversos componentes. La superficie de la placa vuelve a cubrirse con óxido.

5. Se abren nuevas ventanas, ahora para la difusión de boro y formar así regiones tipo p correspondientes a la base del transistor n-p-n, al colector y emisor del transistor p-n-p, al ánodo (base) del diodo, al resistor y al electrodo tipo p del capacitor. Se deposita una nueva capa de óxido.
6. Se vuelven a practicar ventanas, en este caso para la difusión de fósforo de alta concentración n+ formando así las siguientes regiones: emisor del transistor n-p-n, zona de contacto n+ del colector del mismo transistor, zona de conexión de base del transistor p-n-p, el cátodo del diodo, la zona de contacto de la región de colector del mismo diodo E-B y el electrodo tipo n del capacitor. Se vuelve a oxidar.
7. Finalmente, se elimina el óxido de las regiones donde deben efectuarse las conexiones y por vaporización se deposita una capa de aluminio para formar la red metalizada de la superficie. El patrón de interconexiones se obtiene, mediante técnicas fotoresistivas usando una máscara. El aluminio no deseado se elimina de la superficie quedando solamente el que hace las interconexiones entre los componentes y las zonas de contacto para las terminales del circuito.

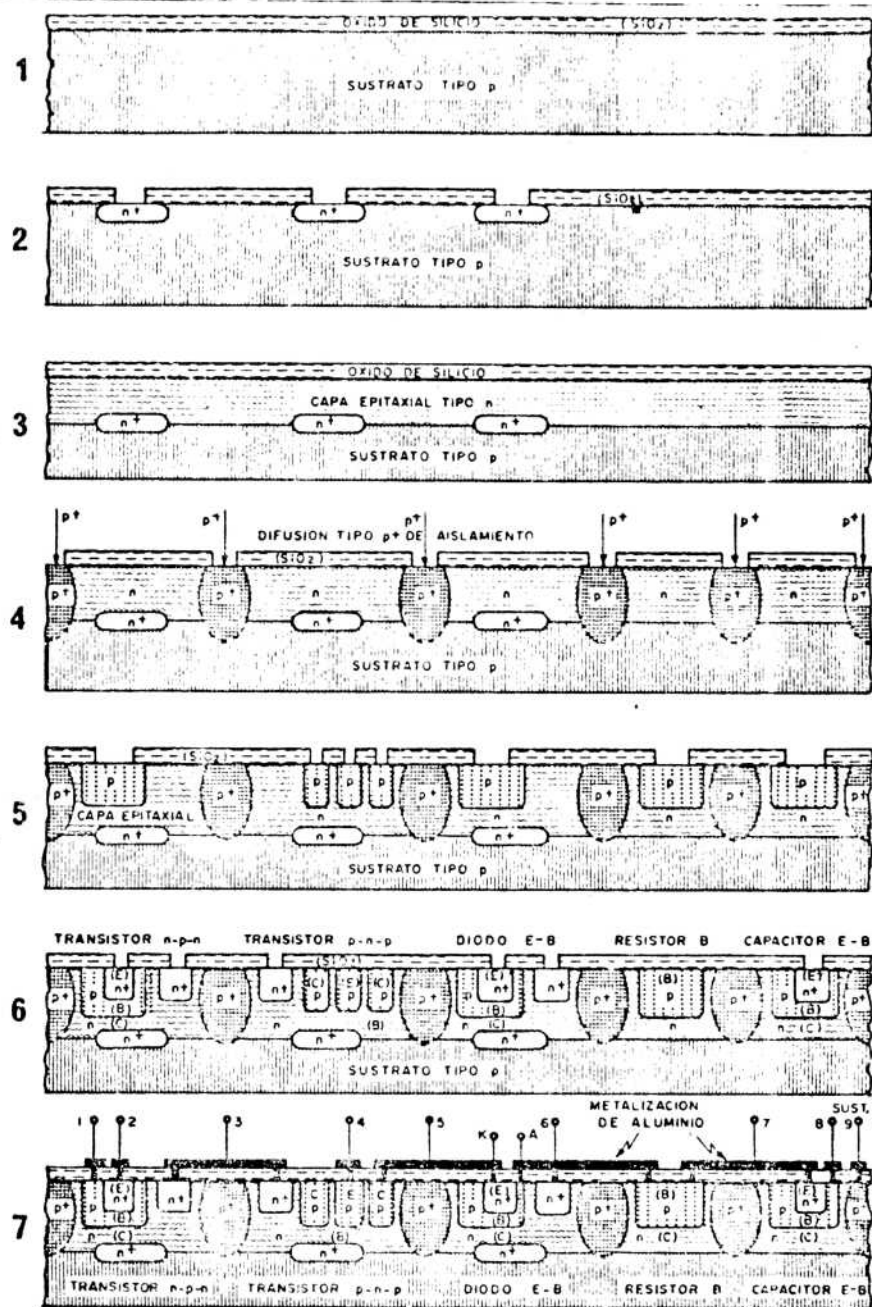


Fig. 11. Formación simultánea de los componentes del circuito de la fig. 10

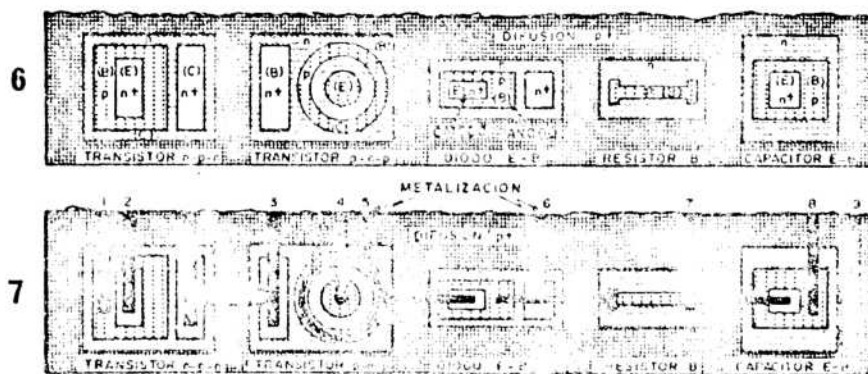
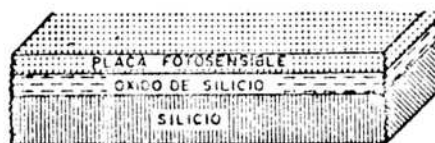


Fig. 12. Vista superior de los pasos 6 y 7 de la fig. 11. La capa de óxido no está dibujada.



oblea de silicio
con capa de óxido



se coloca un material
fotosensible



luz ultravioleta
se expone
a la luz ultravioleta



el material fotosensible
se elimina



se remueve el óxido
para formar la ventana



se elimina el resto del
material fotosensible

Fig. 13. Proceso fotolito
gráfico para "abrir
ventanas" en la su
perficie del cristal.

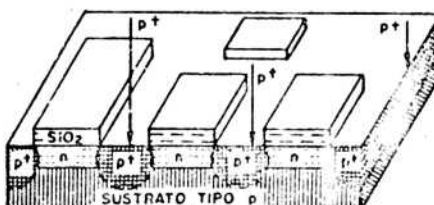
1) capa de óxido sobre la capa
epitaxial.



2) eliminación selectiva del
óxido.



3) difusión profunda de impurezas
tipo p⁺



4) "islas" o regiones donde se
formarán los componentes

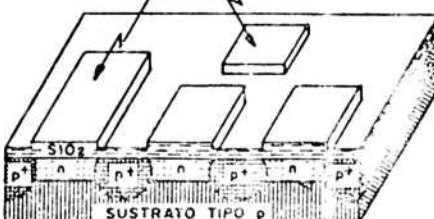


Fig. 14. Proceso de aislamiento por difusión de impurezas tipo p⁺.

En la fig. 15 se muestra un transistor visto de arriba en el que las interconexiones de emisor, base, colector y sustrato terminan en "zonas de contacto" donde se harán las conexiones a las terminales en la cápsula. Debido al método de conexión, estas zonas deben ser relativamente grandes comparadas con los puntos de interconexión de los componentes integrados. Con este paso las plaquitas formadas en la oblea quedan listas para su comprobación.

Todavía en la oblea, los circuitos integrados se comprueban individualmente mediante una máquina de alta precisión que tiene un determinado número de puntas de prueba que se colocan sobre las zonas de contacto del primer circuito; la máquina, ligada a una computadora, mide y compara, si hay discrepancia pone sobre el circuito una mancha de tinta idelible con el fin de que éste pueda identificarse cuando la oblea sea dividida. La operación de comprobación se efectúa automáticamente para cada plaquita (chip) con una rapidez tal que es difícil seguir con la vista el movimiento de las puntas de prueba al subir y descender precisamente en las zonas de contacto de cada placa.

Como ya dijimos, los procesos resumidos en la fig. 11 se llevan a cabo simultaneamente sobre obleas de silicio que contienen cada una cientos de placas en las que se forman los circuitos integrados. Las dimensiones de las placas variarán según la densidad de componentes del circuito, por ejemplo, un amplificador de tres etapas integrado se construirá en un cristal de 0.2 mm^2 , en tanto que un circuito digital con 15 puertas necesitará una superficie de 4.55 mm^2 .

En la fig. 16 se muestra la fotografía de un circuito integrado típico amplificado alrededor de 30 veces.

Después de la comprobación, la oblea de si

licio se divide en los circuitos individuales mediante un proceso similar al utilizado para cortar el vidrio rayado con una punta finísima de diamante y ruptura mediante presión. Las plaquitas con mancha de tinta se de sechan y las útiles se pasan a la fase de encapsulado. Este proceso consiste en fijar la plaquita a un soporte metálico por medio de una aleación de bajo punto de fusión como las combinaciones oro-germanio u oro-silicio, calentando previamente el soporte a temperatura entre 350 y 400 °C. El proceso de encapsulado se muestra esquemáticamente en la fig. 17.

Las conexiones entre las áreas de contacto del circuito y las terminales de la cápsula se llevan a cabo comunmente por termocompresión. Recientemente se han desarrollado ya técnicas de soldadura ultrasónica.

En el sistema de termocompresión es muy común la técnica de "unión por esfera" (fig. 18) que emplea hilo de oro de 25 micrones de diámetro el cual baja a través de una aguja capilar de tungsteno; mediante una llama de hidrógeno se forma una bolita en el extremo del alambre (ésta es la razón de usar el alambre de oro, pues con otro material no se puede formar la esfera). Con el soporte a 300 °C, la aguja baja hasta unirse al contacto del CI; combinando la temperatura del soporte con una pequeña presión de la aguja, la bolita se aplana y el alambre queda firmemente soldado al circuito. La aguja se desplaza llevando el alambre a la terminal correspondiente, que en esta zona está cubierta con una capa de oro, para soldarse también por termo-compresión. El alambre se corta con la flama de hidrógeno para formar otra esfera y repetir la operación.

Como se muestra en la fig. 17, una vez soldadas las terminales el circuito se encapsula, en este ejemplo en un molde de plástico con las terminales si-

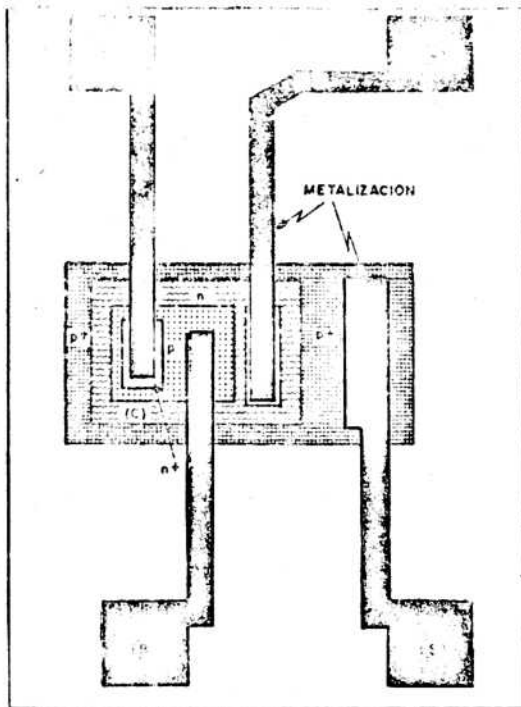


Fig. 15. Aspecto de un transistor n-p-n con sus "zonas de contacto": Emisor, Base, Colector y sustrato.

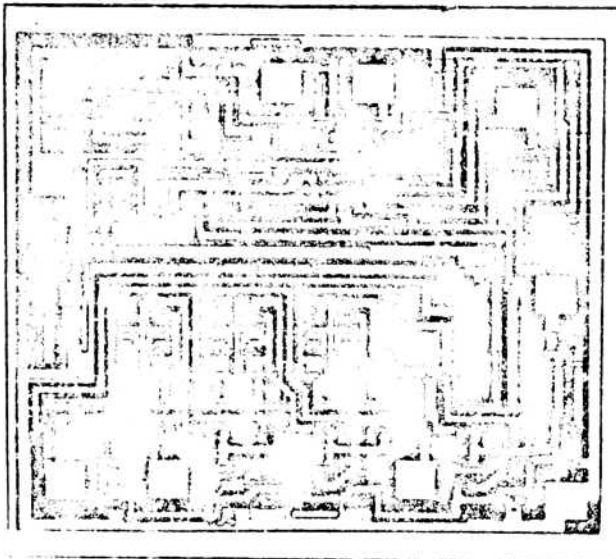


Fig. 16. Aspecto típico del cristal de un circuito integrado.

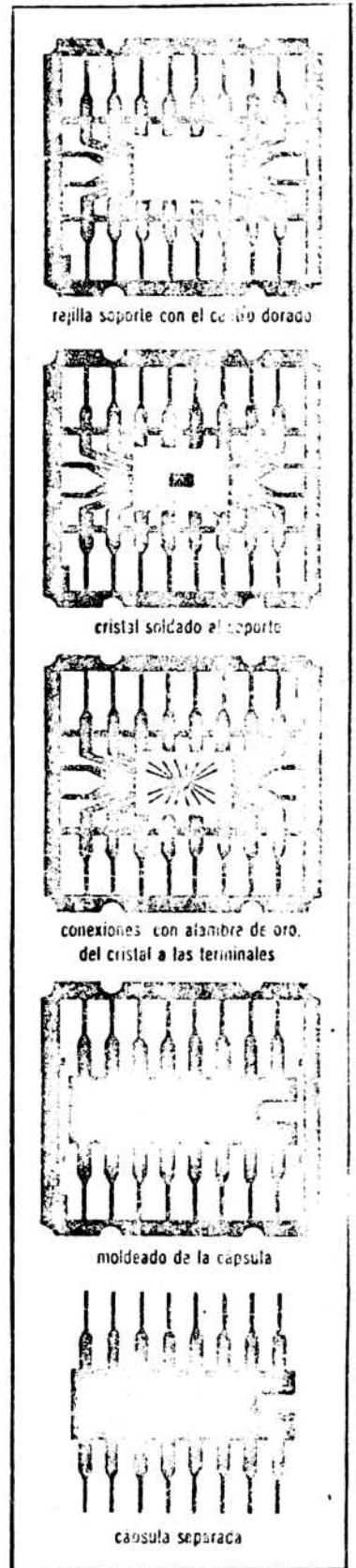


Fig. 17. Proceso de encapsulado de un CI. Una vez separada, las terminales se doblan hacia abajo.

tuadas a ambos lados de la misma y doblados hacia abajo (fig. 19) por lo que se le conoce como de "doble línea" (DIL, double in line, en inglés). Ya encapsulados, los CIs pasan a una serie de pruebas finales para determinar si cumplen satisfactoriamente con las especificaciones establecidas.

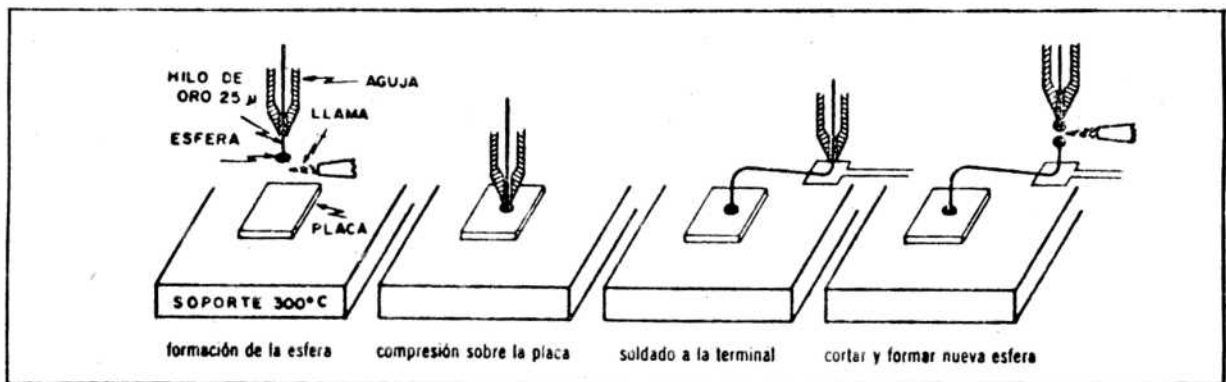


Fig. 18. Método de conexión por esfera.

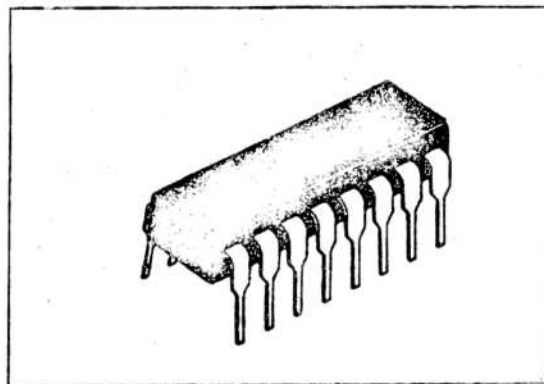


Fig. 19. Circuito integrado en cápsula DIL.

17.7.- NUMERACION DE TERMINALES

De manera similar a como se hace con las válvulas electrónicas, los circuitos integrados se representan en los diagramas con un símbolo rodeado de números (fig. 20) que corresponden a la ubicación de las terminales de la cápsula. Este procedimiento no se emplea en los transistores porque sólo tienen tres terminales plenamente identificadas; en cambio, el CI suele tener más de 4 terminales, como es el caso del circuito de la fig. 19 cuya cápsula lleva 8 terminales a cada lado.

En las cápsulas metálicas las terminales están numeradas en la misma forma que en las válvulas, es decir, vista de abajo en el sentido de las manecillas del reloj comenzando con el número 1 después de la guía.

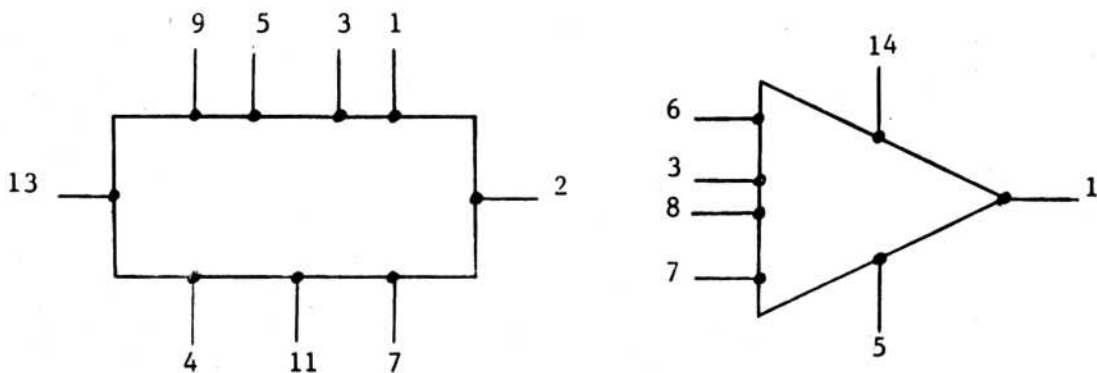


Fig. 20. Numeración de las terminales del CI en los diagramas.

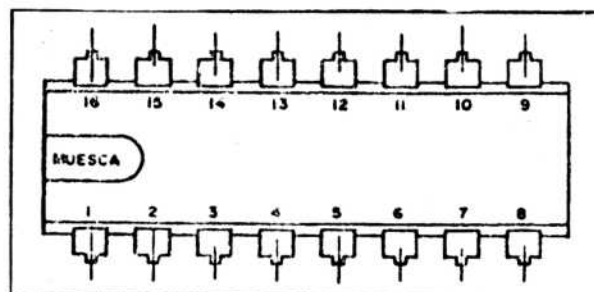


Fig. 21. Numeración de las terminales en una cápsula de plástico, DIL, vista de arriba.

En las cápsulas de plástico (ver fig. 21) los terminales se cuentan vista de arriba, en sentido contrario a las manecillas del reloj a partir de una muesca colocada en un extremo del bloque, de modo que si la muesca queda hacia el extremo izquierdo con las terminales hacia abajo, comenzamos a contar a partir de la terminal que queda directamente abajo de la muesca. Notar que si lo vieramos como en el caso de los bulbos o las cápsulas metálicas, la cuenta sería como en éstos, es decir en el sentido del reloj a partir de la muesca. Esto es conveniente recordarlo, pues así lo vemos del lado de pistas en las tablillas de circuito impreso.

I N D I C E

Capítulo	Página
1-----	1
2-----	5
3-----	29
4-----	35
5-----	45
6-----	59
9-----	93
10-----	109
11-----	123
13-----	143
15-----	167
16-----	213
17-----	235